

ÉCOLE POLYTECHNIQUE
DE MONTRÉAL

GROUPE DE RECHERCHE EN
MICROÉLECTRONIQUE

RAPPORT ANNUEL

1999-2000

DÉCEMBRE 2000

TABLE DES MATIÈRES

| | |
|--|-----------|
| REMERCIEMENTS..... | 3 |
| INTRODUCTION..... | 3 |
| COLLABORATIONS EN 1999-2000..... | 3 |
| OBJECTIFS DU GRM..... | 4 |
| COMPOSITION DU GROUPE..... | 4 |
| LISTE DES MEMBRES RÉGULIERS:..... | 4 |
| LISTE DES MEMBRES ASSOCIÉS:..... | 4 |
| LISTE D'AUTRES PROFESSIONNELS ET CHERCHEURS..... | 5 |
| PROGRAMME DE RECHERCHE EN VLSI..... | 5 |
| DOMAINES..... | 5 |
| ACTIVITÉS DES MEMBRES RÉGULIERS..... | 5 |
| ACTIVITÉS DU PROFESSEUR SAVARIA..... | 6 |
| <i>Méthodes de conception</i> | 6 |
| <i>Applications</i> | 6 |
| ACTIVITÉS DU PROFESSEUR BOIS..... | 7 |
| ACTIVITÉS DU PROFESSEUR HOULE..... | 8 |
| <i>Collaborations universitaires et industrielles:</i> | 8 |
| ACTIVITÉS DU PROFESSEUR LANCTÔT..... | 8 |
| ACTIVITÉS DU PROFESSEUR MACIEJKO..... | 9 |
| ACTIVITÉS DU PROFESSEUR SAWAN..... | 10 |
| ÉTUDIANTS AUX CYCLES SUPÉRIEURS..... | 11 |
| ÉTUDIANTS RÉCEMMENT INSCRITS..... | 12 |
| TITRES DES PROJETS ET DIPLÔMES EN COURS DE CHAQUE ÉTUDIANT..... | 13 |
| SUBVENTIONS ET CONTRATS..... | 80 |
| SUBVENTIONS, CONTRATS ET CONVENTIONS DE RECHERCHE INDIVIDUELLES..... | 80 |
| ÉQUIPEMENT PRÊTÉ PAR LA SCM (WWW.CMC.CA)..... | 83 |
| ÉQUIPEMENT APPARTENANT AU GROUPE (WWW.GRM.POLYMTL.CA)..... | 84 |
| LOGICIELS..... | 85 |
| PUBLICATIONS ET RÉALISATIONS..... | 86 |
| ARTICLES DE REVUES ACCEPTÉS OU SOUMIS POUR PUBLICATION..... | 86 |
| ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000..... | 86 |
| ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000. (SUITE)..... | 87 |
| ARTICLES DE REVUES PUBLIÉS DE SEPTEMBRE 1998 À AOÛT 1999..... | 87 |
| ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000..... | 87 |
| ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000 (SUITE)..... | 88 |
| ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 1998 À AOÛT 1999..... | 89 |
| ARTICLES DE CONFÉRENCES PUBLIÉS DE SEPTEMBRE 1999 À AOÛT 2000 (SUITE)..... | 90 |
| BREVETS..... | 90 |
| RAPPORTS TECHNIQUES:..... | 90 |
| INDEX DES AUTEURS..... | 91 |

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport et à Réjean Lepage pour sa collaboration à rendre ce rapport disponible sur le WEB. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche pour sa préparation et sa diffusion.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 1999 – 2000, les étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM et en collaboration avec des collègues des milieux universitaire et industriel. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds pour la formation de Chercheurs et l'Aide à la Recherche du Québec (FCAR), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils ont participé à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique. Citons aussi les projets réalisés avec des partenaires industriels, Hyperchip, Nortel Networks, MiroTech, ainsi que ceux réalisés pour le Ministère de la Défense. Le groupe vise un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 1999-2000

L'année 99 – 00 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs Savaria et Audet de l'Université du Québec à Chicoutimi (Méthodes de conception de systèmes matériel/logiciel; la collaboration entre Savaria et Massicotte de l'Université du Québec à Trois-Rivières (Modélisation d'échantillonneurs rapides); Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de test laser); Savaria et Aboulhamid de l'Université de Montréal (Parallélisation de boucles et compilation de description synthétisable à partir de spécification en langage C); Savaria et Wang de Concordia (conception d'un circuit tolérant aux pannes), Savaria et Lakhsasi de l'UQAH (modélisation technique); Sawan et Davidson de l'UQAM (processeurs spécialisés et FPDs), Sawan et Wang de Concordia (capteurs CMOS), Sawan et Alkhalili de Concordia (structures analogiques dédiées aux capteurs), Sawan et Slamani de l'UQAM (circuits à fréquences-radio), Sawan et Roberts de McGill (convertisseurs rapides). De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de monostructures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre Poly-Grames, notamment les professeurs Savaria, Laurin et Wu (interconnexions de circuits VLSI à très haute vitesse), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), notons aussi la collaboration avec le GRBB (Groupe de Recherche en Biomatériaux et Biomécanique), entre les professeurs Sawan et Yahia (Électrodes et Matériaux implantables).

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et de regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et de génie informatique et se compose des membres réguliers et membres associés suivants:

Liste des membres réguliers:

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique et de génie informatique, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de testabilité, à l'intégration ULSI et aux applications de ces technologies.
- **Dr Guy Bois:** professeur agrégé au département de génie électrique et de génie informatique, qui s'intéresse à l'aspect algorithmique de la conception de circuits intégrés, en particulier, à la synthèse de très haut niveau et à la synthèse de masques.
- **Dr Jean-Louis Houle:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux applications du VLSI et aux architectures parallèles pour le traitement des signaux et des images.
- **M. Bernard Lanctôt:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux méthodes de conception et au développement de logiciels de conception VLSI.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Mohamad Sawan:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse à la synthèse, la conception et la réalisation de circuits mixtes (numériques-analogiques) et à leurs applications dans les domaines industriel et biomédical, spécifiquement, les stimulateurs et capteurs sensoriels.

Liste des membres associés:

- **Dr David Haccoun:** professeur titulaire au département de génie électrique et de génie informatique, qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et directeur du Groupe de recherche en physique et technologie des Couches Minces (GCM). Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de lasers dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration et la calibration par laser pour la microélectronique.

Liste d'autres professionnels et chercheurs

De plus, les personnes suivantes collaborent ou ont collaboré aux travaux du groupe à divers titres:

- M. Jean Bouchard: technicien du laboratoire VLSI.
- M. Réjean Lepage: technicien du laboratoire GRM.

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défauts;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, en biomédical par la réalisation de micro stimulateurs implantables;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, sur l'accélération des calculs, sur la cosynthèse et le codesign de systèmes électroniques et sur les techniques d'autotest et de tolérance aux pannes et aux défauts. Le second axe couvre des thèmes divers comme la conception d'un classificateur de haute performance, la conception d'organes de calcul pour un système de vision 3D, la conception d'un décodeur de Viterbi, la réalisation d'échantillonneurs rapides et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Un premier thème est la conception de circuits de haute vitesse. Nous concentrons nos efforts sur les technologies CMOS et bipolaires au silicium. Nous élaborons des méthodes pour concevoir, modéliser et automatiser la conception de réseaux de distribution d'horloge et de circuits synchrones rapides. Nos travaux exploitent aussi les techniques de synchronisation à une phase (True Single Phase Clocking (TSPC)). De plus, nous utilisons les lignes à délai verrouillable (Delay Locked Loop (DLL)) pour produire des bases de temps ultra-rapides, nécessaires aux applications de haute performance. Enfin, nos travaux récents portent sur la synthèse d'horloges rapides et précises par synthèse directe.

Un autre axe de recherche poursuivi est l'élaboration de méthodes pour concevoir des coprocesseurs dédiés à des applications intensives en calcul. De tels coprocesseurs peuvent être synthétisés puis chargés au besoin dans une batterie de réseaux logiques programmables, afin de réaliser un amalgame performant, fruit d'un compromis matériel-logiciel.

Nous travaillons aussi à l'élaboration de méthodes qui permettent de concevoir des circuits auto-testables. Nos recherches portent sur la technologie bipolaire CML, dont le comportement en présence de défauts présente des particularités intéressantes. Nous avons élaboré des modèles de panne, des outils pour la classification automatique de ces pannes et des méthodes de test adaptées.

Nous explorons les méthodes pour la détermination automatique des tailles des opérandes dans les unités arithmétiques spécialisés afin de rencontrer des contraintes d'erreur et de complexité.

Nos travaux portent aussi sur l'étude des méthodes de vérification. Nous étudions l'impact des langages de conception pour la vérification et les méthodes pour augmenter l'efficacité du processus de vérification. Ce projet parrainé par PMC Sierra

Applications

Dans le cadre de cet axe plus appliqué, nous explorons un ensemble d'applications. Une des applications étudiée est l'extraction automatique des paramètres des signaux radar. Les paramètres d'intérêt sont la fréquence, la phase et la présence de modulation. Cette application permet d'explorer les méthodes de dimensionnement automatique des chemins de données.

Nous explorons les architectures possibles pour la mise en œuvre des convertisseurs de protocoles flexibles. L'intérêt de la flexibilité découle de la grande diversité des protocoles pour lesquels des convertisseurs sont requis. Ce projet est un cadre concret pour appliquer et raffiner les notions de plate-forme SOC. Le projet intéresse la société Gennum.

Enfin, nous travaillons à la mise en œuvre de réducteur de bruit vidéo. Ce projet est quant à lui un véhicule pour explorer les techniques de conception pour la réutilisation systématique. Ce projet est suivi de prêt par la société Miranda.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans le domaine du co-design et de la co-synthèse conjointe logiciel/matériel pour systèmes embarqués.

De nos jours, les systèmes embarqués sont de plus en plus présents dans les produits industriels et commerciaux : contrôleur d'injection d'une voiture, robot industriel, téléphone cellulaire, etc. Afin de concevoir ces systèmes de plus en plus complexes, l'ingénieur doit avoir recours à l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés, et de circuits spécialisés chargés de la réalisation de fonctions spécifiques. De plus, la concurrence sur les produits et les services, impose à tous la sévère loi du *time to market*, qui impose de réduire fortement le temps alloué au développement. La situation de ces défis impose donc une approche d'ingénierie simultanée du logiciel et du matériel, nommée co-design.

La recherche du professeur Bois vise donc le développement de méthodes modernes de conception et de vérification conjointe logiciel/matériel. Plus particulièrement, ses travaux visent à solutionner deux problèmes importants énumérés au paragraphe précédent :

1. la description de systèmes à un niveau d'abstraction très élevé, afin de mieux gérer la croissance exponentielle de ces systèmes (qui double à tous les 18 mois)
2. la réutilisation des composants logiciel et matériels (*IP reusing*) afin de réduire le temps alloué au développement.

Un outil de co-design nommé Picasso offrant des solutions importantes au point 1 est actuellement développé par l'équipe de recherche du professeur Bois, Picasso permet la co-spécification et la modélisation en langage «C/C++» et en «VHDL» (matériel). Des protocoles de communication de haut niveau sont ensuite offerts à l'utilisateur pour intégrer les mécanismes de communication au sein même des spécifications. Cela permettra à des blocs matériels et logiciels de communiquer facilement entre eux à très haut niveau d'abstraction. Picasso permet le raffinement des spécifications afin de produire un système qui sera donc composé d'une partie logicielle et matérielle. Des solutions afin d'utiliser un langage unifié pour la spécification logicielle/matérielle (e.g. System c et Cynlib) sont aussi en cours.

Un autre projet s'intégrant à Picasso et offrant des solutions intéressantes au point 2, est en cours de développement. L'objectif est de développer une méthodologie de synthèse des communications favorisant la réutilisation de composants, au niveau système sur puces (SoC), basée sur un standard de bus (OCB pour *On-Chip Bus*). Plus particulièrement, nous cherchons des compromis entre les protocoles de communication point à point (*Bus Wrappers*) et les standards promus par les industriels (AMBA de ARM, CoreConnect de IBM, etc.).

Les principaux partenaires industriels qui collaborent à ces différents projets sont Nortel, Mentor Graphics et STMicroélectronique, alors qu'au niveau universitaire les principaux collaborateurs sont les professeurs Aboulhamid et Savaria, respectivement du DIRO de l'Université de Montréal et de l'École polytechnique.

Activités du professeur Houle

La recherche du professeur Jean-Louis Houle découle de résultats acquis. Afin d'assurer une bonne continuité, nous maintenons l'orientation de travaux fondamentaux et leurs relations à une classe limitée d'applications. Le travail est donc en deux volets:

1. Algorithmes et architectures pour multiprocesseurs à objectifs spécifiques;
2. Conception, simulation et évaluation de performances de prototypes pour le traitement en temps-réel de signaux de contrôle dans de très grands réseaux électriques.

Dans le premier volet, nous développons des outils informatiques pour évaluer la fonctionnalité et la performance de processeurs spécialisés par analyse et simulation. Nous avons déjà des architectures de processeurs élémentaires (PE) que nous devons optimiser. Ces PE seront ensuite interconnectés en structures parallèles pour des applications spécifiques.

Dans le deuxième volet, l'application principale est l'étude de grands réseaux électriques qui requièrent des équations algébriques de réseaux et des équations différentielles pour modéliser différents équipements électrotechniques. La simulation en temps réel rigide (« hard real-time ») de phénomènes de stabilité transitoire nécessite des processeurs parallèles pour exécuter indépendamment les uns des autres, mais ils sont synchronisés. Des graphes de précédances et des graphes de communications sont utilisés. Puisque l'assignation des tâches est de complexité NP, des algorithmes de type A* modifiés doivent être mis au point.

Les deux volets comportent des aspects fondamentaux nécessaires aux prototypes de laboratoire, qui sont testés à l'Institut de recherche d'Hydro-Québec et au laboratoire de calcul parallèle de l'École de Technologie Supérieure. L'originalité des travaux est dans l'adaptation de la structure du réseau d'ordinateurs à celle du réseau électrique. L'importance est dans l'augmentation de l'efficacité de grands réseaux électriques.

Le professeur Jean-Louis Houle dirige des projets d'implantation en VLSI d'architectures parallèles pour le traitement temps réel de signaux et d'images. Il s'intéresse à la réalisation en FPGA d'algorithmes pour des applications spécifiques en utilisant en particulier des transformées en ondelettes (wavelets). Il travaille aussi sur des algorithmes parallèles pour le traitement de matrice creuses (sparse) appliquées à l'analyse dynamique de la sécurité des grands réseaux électriques ainsi qu'à la simulation de leur instabilité transitoire. Il codirige trois étudiants de cycles supérieurs à l'IREQ et cinq autres au laboratoire GRM (au total 3 doctorats et 4 maîtrises).

Collaborations universitaires et industrielles:

Des collaborations avec le professeur Jacob Davidson de l'Université du Québec à Montréal se poursuivent sous forme de codirection de recherche au 2^{ème} et 3^{ème} cycles. En particulier, un étudiant de Ph. D., C. Achour a conçu un circuit programmable et reconfigurable. Ce circuit a été fabriqué à la SCM.

Le professeur Jean-Paul Longuemard de l'École Centrale de Paris continue de collaborer dans le domaine des essais non-destructifs qui ont amené un design de processeurs spécialisés en parallèle pour le calcul de la transformée rapide en ondelettes. Des démarches sont en cours avec des Sociétés de France et de Montréal sur la conception et réalisation de systèmes microélectroniques et informatiques appliqués à des domaines médicaux et industriels.

Activités du professeur Lanctôt

Le professeur Lanctôt agit en tant que représentant de l'École auprès de la Société Canadienne de Microélectronique (SCMC). Il est membre et vice-président du Conseil d'administration de cette société ainsi que de son Comité exécutif. Il a présidé, au cours de 1994, le Comité d'Affectation des Ressources de la SCMC, ainsi que plusieurs autres comités depuis 1989.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Il est aussi de projet à l'Institut Canadien pour les Innovations en Photonique (Centre d'excellence). Il a à son actif une vingtaine d'années de recherche dans le domaine des fibres optiques et de l'optoélectronique, avec 6 années passées au Laboratoire de Technologie Avancée, BNR, Ottawa, dont 3 années comme manager au Département des Applications des Fibres Optiques. À l'École Polytechnique, il a mis sur pied le laboratoire d'Optoélectronique. Avec ses chercheurs et ses étudiants gradués, il poursuit ses recherches sur les lasers à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur la modélisation numérique et la fabrication des dispositifs photoniques à semi-conducteurs, sur les phénomènes ultra-rapides en photonique, sur la photoluminescence résolue en temps en régime femto seconde, sur la modélisation du transport de la charge électrique dans les semi-conducteurs à l'aide de la méthode Monte Carlo et sur les commutateurs optoélectroniques à photoconduction. Sa recherche a deux volets: un côté théorique et un côté expérimental.

Le volet théorique comprend l'étude de la conception et de la performance de différents composants basés sur les hétéro structures à puits quantiques conventionnels ou contraints. Nous travaillons particulièrement à la simulation des lasers à puits quantiques multiples de type Fabry-Pérot et DFB ainsi que sur les amplificateurs optiques à semi-conducteurs. On a développé une banque de programmes: simulateurs laser pour l'industrie (NORTEL), un simulateur Monte Carlo à multi-particules, la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons étudié la réponse ultra-rapide des semi-conducteurs, notamment le transport de porteurs de charge. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Depuis plusieurs années, nous avons eu des collaborations soutenues avec les laboratoires des Technologies Nortel à Ottawa, impliquant entre autre chose, l'embauche de plusieurs de nos étudiants de façon permanente et l'engagement d'un stagiaire pour 8 mois. On sait que ce laboratoire est un des chefs de file dans le domaine de la photonique au niveau mondial.

De plus, dans notre collaboration avec le Dr E Berolo du Centre de Recherche sur les Communications du Canada à Ottawa (CRC), nous avons identifié les amplificateurs optiques à semi-conducteurs (AOS) comme un dispositif-clé offrant beaucoup de possibilités pour les futurs systèmes, en particulier la conversion en longueur d'onde pour les systèmes DWDM; c'est ce dernier aspect qui a intéressé d'une façon toute particulière les laboratoires CRC.

Nous avons aussi eu un projet entre notre laboratoire et celui du professeur Claude Albert de Montpellier, subventionné par le programme France-Québec. Il y a eu plusieurs échanges de stages entre les deux laboratoires. De par le passé, nous avons eu des professeurs visiteurs, dont le professeur R. Chisleag de Bucarest et le professeur Pierre Tronc de L'ESPCI de Paris (là où les Currie ont découvert le radium). Ce dernier est venu nous visiter régulièrement, presque à chaque année, pour faire des études de luminescence sur des matériaux à puits quantiques. Une de ses étudiantes au doctorat est venue faire une stage de 3 mois au laboratoire d'optoélectronique. Ces travaux ont mené à 5 publications conjointes.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon les grandes priorités suivantes:

1. titulaire d'une Chaire de recherche du Canada;
2. la conception VLSI et le test des circuits intégrés numériques et analogiques;
3. la conception des systèmes pour l'acquisition, l'analyse et la génération des signaux ainsi que le traitement d'images;
4. la réalisation des circuits intégrés dédiés aux applications à fréquence-radio;
5. les appareillages médicaux et plus particulièrement les microstimulateurs et capteurs sensoriels implantables et non-implantables;
6. la conception et la réalisation des circuits mixtes (numérique-analogique) et les différentes technologies d'intégration (PCB, SMT, MCM, etc...);
7. les circuits intégrés reprogrammables FPGA (Field Programmable Gate Arrays), FPAD (Field Programmable Analog Devices) FPMA (Field Programmable Mixed-Arrays) et les systèmes reconfigurables.
8. les systèmes ultrasoniques portables;

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels:

1. la mise au point de fonctions et de systèmes complets servant à des applications industrielles variées;
2. la création d'outils de haute performance servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

Pour répondre au besoin grandissant des applications industrielles, nos activités de recherche se trouvent orienter vers la conception et la réalisation des fonctions et systèmes analogiques, mixtes (analogique-numérique) et aux circuits et systèmes à fréquence radio. A titre d'exemple, nous nous intéressons aux circuits de conversion analogique à numérique. Nous travaillons à la mise au point d'un système de linéarisation des amplificateurs de puissance dédiés aux applications en communication cellulaire et ce système est basé sur un circuit DSP (TMS320C40). Nous proposons des filtres passe-bande reconfigurables et à bande passante très élevée. Des amplificateurs reconfigurables, des préamplificateurs à très faible niveau de bruit et à large bande passante, des PLL (Phase-Locked Loop) à grande plage d'opération du FLL (Frequency-Locked Loop) à réponse très rapide et des circuits intégrés mixtes programmables font aussi l'objet de nos travaux de recherche. Nous traitons des circuits en mode courant et en courant commuté. Dans le cadre de l'implant visuel, nous nous intéressons à la réalisation d'un capteur d'image et de traitement complet de l'image reçue, sur la même puce de silicium CMOS.

Pour plus de détails sur les différents projets, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport. Les systèmes dédiés à des applications médicales doivent être très performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. La plupart de ces outils regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités en sciences et génie. Autrement dit, ce type de projet pluridisciplinaire implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc... Nous nous intéressons présentement à développer un bon nombre de systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la récupération d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés qui est basé sur un modèle de mouvements naturels; un dispositif capteur de signaux neuronaux dans le but de mesurer le volume d'urine dans la vessie et de récupérer le mouvement d'une jambe amputée. Nous nous intéressons au développement d'un circuit non-implantable miniaturisé dédié aux enfants énurétiques; un système de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables; un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions et l'EMG aux niveaux de l'estomac et des poumons.

Le professeur Sawan est co-fondateur de l'IFESS (International Function Electrical Stimulation Society), membre senior de l'IEEE, Fellow de l'Académie Canadienne du génie, membre de l'AUE (Association for Urology and Engineering) et membre de plusieurs comités de programme de conférences nationales et internationales. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolySTIM (Laboratoire de neurotechnologieS) et coordonnateur de l'enseignement de la microélectronique au département de génie électrique et génie informatique à l'École Polytechnique.

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées au GRM durant la période couverte par ce rapport:

| Nom de l'étudiant | Diplôme en cours | Directeurs | Codirecteurs |
|-------------------------|------------------|---------------|---------------|
| Achour, Chokri | Ph.D. | J.-L. Houle | J. Davidson |
| Assaad, Maher | M. Ing. | M.Sawan | |
| Baillargé, Jacques | M.Sc.A. | G. Bois | |
| Balazinski, Bartosz | M.Sc.A. | J.-L. Houle | |
| Beaudin, Sylvain | M.Sc.A. | M. Bois | R. Marceau |
| Belhaouane, Adel | Ph.D. | Y. Savaria | B. Kaminska |
| Bendali, Abdelhalim | M.Sc.A. | Y. Savaria | |
| Boyer, François-Raymond | Ph.D. | M. Aboulhamid | Y. Savaria |
| Boyer, Stéphane | M.Sc.A. | M. Sawan | |
| Boyogueno Bendé, André | Ph.D. | B. Kaminska | |
| Brais, Louis-Philippe | M.Sc.A. | M. Sawan | |
| Calbaza, Dorin-Emil | M.Sc.A. | Y. Savaria | |
| Campagna, Isabelle | M.Sc.A. | G. Bois | J.-L. Houle |
| Cantin, Marc-André | M.Sc.A. | Y. Blaquièrè | Y. Savaria |
| Chabini, Nourreddine | M.Sc.A. | M. Aboulhamid | Y. Savaria |
| Chebli, Robert | M.Sc.A. | M. Sawan | |
| Coulombe, Johathan | M.Sc.A. | M. Sawan | |
| Cousineau, Cynthia | M.Sc.A. | M. Sawan | Y. Savaria |
| Cyr, Geneviève | M.Sc.A. | G. Bois | |
| Delage Jean-François | M.Sc.A. | M. Sawan | |
| Deslauriers, Yann | M.Sc.A. | Y. Savaria | |
| Dido, Jérôme | M.Sc.A. | M. Sawan | |
| Djemouai, Abdelouahab | Ph.D. | M. Sawan | M. Slamani |
| El Hilali, Hicham | M.Sc.A. | M. Sawan | |
| Fayomi, Christian | Ph.D. | M. Sawan | |
| Fortin, Alexandre | M.Sc.A. | M. Sawan | G. Roberts |
| Fouzar, Youcef | Ph.D. | Y. Savaria | M. Sawan |
| Gagnon, Yves | M.Sc.A. | M. Meunier | Y. Savaria |
| Granger, Éric | Ph.D. | Y. Savaria | |
| Güçlü, Alev Devrim | M.Sc.A. | R. Maciejko | |
| Hamza, Moulay-Idriss | M.Sc.A. | M. Sawan | |
| Harb, Adnan | M.Sc.A. | M. Sawan | |
| Harvey, Jean-François | M.Sc.A. | M. Sawan | |
| Hébert, Olivier | M.Sc.A. | Y. Savaria | |
| Héneault, Yannick | M.Sc.A. | G. Bois | |
| Hu, Yamu | M.Sc.A. | M. Sawan | J.-J. Brault |
| Jecklen, Ernesto | Ph.D. | M. Sawan | F. Ghannouchi |
| Khali, Hakim | Ph.D. | Y. Savaria | J.-L. Houle |
| Kumar, Padmapriya | M.Sc.A. | Y. Savaria | |
| Lacourse, Alain | M.Sc.A. | M. Meunier | Y. Savaria |
| Lafrance, Louis-Pierre | M.Sc.A. | Y. Savaria | |
| Langlois, Hughes | M.Sc.A. | Y. Savaria | |
| Le Chapelain, Bertrand | M.Sc.A. | Y. Savaria | G. Bois |
| Lestrade, Michel | M.Sc.A. | R. Maciejko | |
| Li, Ran | M.Sc.A. | G. Bois | |
| Loiseau, Ludovic | M.Sc.A. | Y. Savaria | |
| Monté-Genest, Ginette | M.Sc.A. | Y. Savaria | |

| Nom de l'étudiant | Diplôme en cours | Directeurs | Codirecteurs |
|--------------------------|-------------------------|-------------------|---------------------|
| Moujoud, A. | Ph.D. | R. Maciejko | |
| Nsame, Pascal | Ph.D. | Y. Savaria | |
| Pronovost, Nathalie | M.Sc.A. | J.L. Houle | |
| Rejeb, Chedly | Ph.D. | R. Maciejko | |
| Renaud, Mathieu | M.Sc.A. | Y. Savaria | |
| Richard, Jean-François | M.Sc.A. | Y. Savaria | |
| Romain, Luc | M.Sc.A. | M. Sawan | |
| Roy, Martin | M.Sc.A. | M. Sawan | |
| Sahraoui, Nadjiba | Ph.D. | G. Bois | |
| Schneider, Éric | M.Sc.A. | M. Sawan | |
| Sylla, Iboun Tainiya | Ph.D. | B. Kaminska | |
| Thériault, Lévis | M.Sc.A. | D. Audet | Y. Savaria |
| Tizu, Marius Sorin | M.Sc.A. | M. Sawan | |
| Tremblay, Jean-Marc | M.Sc.A. | Y. Savaria | |
| Vado, Patrice | M.Sc.A. | Y. Savaria | |
| Voghell, Jean-Charles | M.Sc.A. | M. Sawan | |
| Wong, Tony | Ph.D. | J.-L. Houle | |

ÉTUDIANTS RÉCEMMENT INSCRITS

| Nom de l'étudiant | Diplôme en cours | Directeurs | Codirecteurs |
|--------------------------|-------------------------|-------------------|---------------------|
| Filion, Luc | M.Sc.A. | G. Bois | |

Titres des projets et diplômes en cours de chaque étudiant

Cette section du document contient une liste de projets avec le nom des personnes concernées. Par la suite, nous fournissons plus de détails sur chacun des projets en insistant sur les réalisations.

| <i>Nom de l'étudiant</i> | <i>Diplôme en cours</i> | <i>Titre de projet</i> |
|----------------------------|-------------------------|---|
| <i>Achour, C.</i> | Ph.D. | Architectures parallèles pour la transformée en ondelettes à deux dimensions. |
| <i>Assaad, M.</i> | M. Ing. | Conception d'un PLL fonctionnant à 1.485 GHz complètement intégré et réalisé en technologie CMOS 0.35 μ . |
| <i>Baillargé, J.</i> | M.Sc.A. | Le codesign logiciel/matériel: méthodologie et utilisation. |
| <i>Balazinski, B.</i> | M.Sc.A. | Plate-forme d'acquisition d'événements asynchrones générés par un commutateur numérique utilisé en téléphonie mobile. |
| <i>Beaudin, S.</i> | M.Sc.A. | Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique. |
| <i>,Belhaouane, A.</i> | Ph.D. | Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles. |
| <i>Bendali, A.</i> | M.Sc.A. | Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées. |
| <i>Boyer, F.-R.,</i> | Ph.D. | Optimisation lors de la synthèse de circuits à partir de langages de haut niveau. |
| <i>Boyer, S.</i> | M.Sc.A. | Nouvel implant urinaire dédié à la stimulation neurale sélective. |
| <i>Boyogueno Bendé, A.</i> | Ph.D. | Techniques de conception et testabilité des circuits intégrés optoélectroniques en GaAs, application aux communications optiques. |
| <i>Brais, L.-P.</i> | M.Sc.A. | Égalisateur adaptatif numérique haute performance pour signaux QAM. |
| <i>Calbaza, D. -E.</i> | M.Sc.A. | Conception des circuits de synthèse d'horloge avec des accumulateurs de phase. |
| <i>Campagna, I.,</i> | M.Ing. | Une méthode de codesign logiciel/matériel pour la conception de modems haute performance. |
| <i>Cantin, M.A.</i> | Ph.D. | Conversion matérielle automatique d'algorithmes appliqués au domaine de l'analyse et du traitement de signaux radars. |
| <i>Chabini, N.-E.</i> | Ph.D. | Méthodes d'optimisation pour la conception de systèmes matériels/logiciels. |
| <i>Chebli, R.,</i> | M.Sc.A. | Étage d'entrée d'un échographe miniaturisé à balayage sectoriel. |
| <i>Coulombe, J.,</i> | M.Sc.A. | Capteur d'images CMOS dédié à un implant visuel. |
| <i>Cousineau, C.,</i> | M.Sc.A. | Conception et mise en œuvre d'un système de reconfiguration dynamique. |
| <i>Cyr, G,</i> | M.Sc.A. | Développement d'une interface matérielle configurable pour un processeur ARM7 basée sur le protocole VCI de l'alliance VSI. |
| <i>Delage, J.-F.,</i> | M.Sc.A. | Réalisation d'un lien RF à modulation numérique destiné aux applications de «tagging». |
| <i>Deslauriers, Y.</i> | M.Sc.A. | Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo. |
| <i>Dido, J.</i> | M.Sc.A. | Conception d'un cathéter pour la mesure de divers paramètres respiratoires. |
| <i>Djemouai, A.</i> | Ph.D. | Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables. |
| <i>El Hilali, H.</i> | M.Sc.A. | Conception et réalisation d'un filtre Gm-C dédié à des applications à haute fréquence. |

| <i>Nom de l'étudiant</i> | <i>Diplôme en cours</i> | <i>Titre de projet</i> |
|--------------------------|-------------------------|---|
| <i>Fayomi, C.</i> | Ph.D. | Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques numériques |
| <i>Fortin, A.,</i> | M.Sc.A. | Modifications d'un chemin de données pour l'utilisation dans un modèle reconfigurable. |
| <i>Fouzar, Y.</i> | Ph.D. | Étude et réalisation d'un récepteur à 2.5Gb/S en technologie CMOS dédié pour les liaisons série. |
| <i>Gagnon, Y.</i> | M.Sc.A. | Restructuration pour faisceau laser des circuits intégrés VLSI. |
| <i>Granger, É.</i> | Ph.D. | Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars. |
| <i>Güçlü, A.D.</i> | M.Sc.A. | Étude théorique des dispositifs à puits quantiques par la méthode Monte Carlo. |
| <i>Hamza, M. I.,</i> | M.Sc.A. | Conception et simulation d'une boucle à verrouillage de phase à très large bande en CMOS. |
| <i>Harb, A.</i> | Ph.D. | Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales. |
| <i>Harvey, J.-F.</i> | Ph.D. | Contrôleur externe dédié à un implant visuel. |
| <i>Hébert, O.</i> | M.Sc.A. | Une méthode de dérivation de modèles de processeurs embarqués dédiés à une application et un modèle de processeur de traitement de signal conçu pour l'implanter. |
| <i>Héneault, Y.,</i> | M.Sc.A. | Picasso: Un outil de co-design logiciel/matériel pour la synthèse de systèmes embarqués. |
| <i>Hu, Y.,</i> | M.Sc.A. | Réduction de bruit 1/f d'un préamplificateur CMOS. |
| <i>Jecklen, E.,</i> | Ph.D. | Technique de linéarisation numérique des amplificateurs de puissance. |
| <i>Khali, H.</i> | Ph.D. | Algorithmes et architectures de calcul spécialisés pour un système optique autosynchronisé à précision accrue. |
| <i>Kumar, P.,</i> | M.Sc.A. | Méthodes de conception pour la testabilité des circuits CML bipolaires. |
| <i>Lacourse, A.,</i> | M.Sc.A. | Caractérisation de la fiabilité et du coefficient en température des liens diffusés par faisceau laser. |
| <i>Lafrance, L.-P.,</i> | M.Sc.A. | Accélération de l'algorithme de IMOP (Intentional Modulation on Pulse) sur une plate forme logicielle matérielle DSP-FPGA. |
| <i>Langlois, H.,</i> | M.Sc.A. | Étude des utilisations de composants résistifs calibrables par laser pour la réalisation de circuits électroniques précis. |
| <i>Le Chapelain, B.</i> | M.Sc.A. | Développement d'une bibliothèque TSPC de haute performance et conception de gros blocs logiques TSPC (Convolveur 3*3). |
| <i>Lestrade, M.</i> | M.Sc.A. | Modélisation et caractérisation de diodes lasers. |
| <i>Li, R.</i> | M.Sc.A. | Estimateurs de performance pour contrôleurs embarqués de haute performance. |
| <i>Loiseau, L.,</i> | M.Sc.A. | Implantation d'un algorithme de bruit vidéo dans un FPGA. |
| <i>Monté-Genest, G.,</i> | M.Sc.A. | Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés. |
| <i>Moujoud, A.</i> | Ph.D. | Échantillonnage électro-optique. |
| <i>Nsame, P.</i> | Ph.D. | Techniques et méthodes de conception des systèmes intégrés de type SOC. |
| <i>Pronovost, N.</i> | M.Sc.A. | Système géomatique pour la télésurveillance d'un réseau de câblo-distribution |
| <i>Rejeb, C.</i> | Ph.D. | Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures. |
| <i>Renaud, M.</i> | M.Sc.A. | Conception de boucles à verrouillage de Phase (PLL) analogiques exploitant des résistances de précision programmables. |

| <i>Nom de l'étudiant</i> | <i>Diplôme en cours</i> | <i>Titre de projet</i> |
|--------------------------|-------------------------|--|
| <i>Richard, J.-F.</i> | M. Ing. | Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars. |
| <i>Romain, L.</i> | M.Sc.A. | Conception et optimisation d'un cathéter servant à mesurer la pression trans-diaphragmatique et l'activité électrique du diaphragme. |
| <i>Roy, M.,</i> | M.Sc.A. | Conception et réalisation d'un prototype de la partie implantable d'un stimulateur visuel cortical. |
| <i>Sahraoui, N.</i> | Ph.D. | Optimisation de boucles multidimensionnelles pour la synthèse de haut niveau. |
| <i>Schneider, E.</i> | M.Sc.A. | Réalisation d'un microstimulateur et capteur implantable par des circuits discrets mixtes. |
| <i>Sylla, I.T.</i> | Ph.D. | Analyse de la testabilité des circuits RF. |
| <i>Thériault, L.</i> | M.Sc.A. | Développement d'estimateurs de performance pour des applications de co-design logiciel/matériel. |
| <i>Tizu, M.-S.,</i> | M.Sc.A. | Circuit de démultiplexage analogique dédié à un implant visuel. |
| <i>Tremblay, J.-M.,</i> | M.Sc.A. | Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute vitesse. |
| <i>Vado, P.</i> | M.Sc.A. | Conception d'un outil basé sur la méthode dite de mutation permettant la validation de circuits VLSI. |
| <i>Voghell, J.C.</i> | M.Sc.A. | Réalisation de filtres analogiques Gm-C configurables dans les circuits intégrés. |
| <i>Wong, T.</i> | Ph.D. | Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques. |

Description détaillée des projets d'étudiants

ACHOUR Chokri

DIPLÔME: Ph.D.

TITRE:

Architectures parallèles pour la transformée en ondelettes à deux dimensions.

RÉSUMÉ:

La compression d'images par ondelettes (CIO) est un outil puissant pour plusieurs applications où la compression par transformée en cosinus discrète (TCD) est limitée. Par l'utilisation d'une architecture VLSI, l'algorithme de compression d'images par ondelettes peut être mis en œuvre en un circuit ASIC plus facilement que ceux utilisés par la transformée en cosinus discrète.

PROBLÉMATIQUE:

Dans le domaine de compression d'images numériques en temps réel, on utilise généralement la transformée en cosinus discrète (TCD). Cependant, cette méthode présente certains inconvénients, d'une part, elle requiert un certain nombre d'opérations mathématiques de l'ordre de $(N \times N)$ multiplications, d'autre part, elle a besoin d'un volume de mémoire assez grand. Une représentation qui tient compte de ces limites est celle de la transformée en ondelettes à deux dimensions (TO-2D). Cette dernière offre plusieurs avantages ; un ratio élevé de compression, une excellente qualité d'image et une méthode de décompression progressive.

L'objectif principal de cette thèse est de concevoir un processeur spécialisé pour la TO-2D à partir de la transformée en ondelettes de base et en utilisant une architecture parallèle de processeurs élémentaires. Les résultats fournis par le processeur sont des coefficients d'ondelettes qui vont servir à la compression d'image. La conception de cette architecture VLSI (Very Large Scale Integration) spécialisée pour la TO-2D permet de rendre parallèle autant que possible les calculs de l'algorithme de la TO-2D, afin d'augmenter la vitesse de traitement.

MÉTHODOLOGIE:

Les étapes nécessaires à la réalisation d'un circuit VLSI pour la TO-2D sont les suivantes:

- Étude de l'algorithme de la TO-2D. Des simulations sont effectuées pour déterminer les éléments pertinents à la réalisation de l'architecture interne du processeur (multiplieurs, additionneurs, registres).
- Modélisation des blocs principaux du processeur. Cette étape permet la réalisation de l'architecture du processeur en tenant compte, dans un premier temps, de son mode de fonctionnement et, dans un deuxième temps, du rapport vitesse-surface. La modélisation est réalisée à l'aide du langage VHDL (Very High Speed Integrated Circuits Hardware Description Language)
- Développer des architectures au niveau des circuits intégrés monolithiques pour la mise en œuvre d'une TO-2D basé sur des structures parallèles de processeurs élémentaires.

RÉSULTATS:

Une architecture VLSI de la CIO a été simulée à l'aide de quatre processeurs élémentaires (PE) avec des signaux de 16 bits. Chaque PE est une unité de traitement indépendante qui calcule une convolution entre les échantillons du signal et une ondelette analysante. Le résultat de chaque PE, coefficients de l'ondelette, est envoyé vers un bus de sortie de 32 bits. Un modèle réduit de l'architecture de la CIO comprenant deux PE de 8 bits a été mis en œuvre dans le FPGA de Xilinx-XC4010. Le design d'un circuit intégré a été accepté pour fabrication et ce circuit devrait être disponible en mars 2000.

TITRE:

Conception d'un PLL fonctionnant à 1.485 GHz complètement intégrée et réalisée en technologie CMOS 0.35 μ .

RÉSUMÉ:

Le projet consiste à concevoir et réaliser une boucle à verrouillage de phase et de fréquence (PLL) fonctionnant à 1.485 GHz, complètement intégrée et réalisée en technologie CMOS 0.35 μ . Ce circuit est la partie principale et essentielle d'un système de recouvrement d'horloge et de données du signal vidéo HDTV.

PROBLÉMATIQUE:

Dans le système vidéo HDTV, le signal de données est transmis au moyen d'un transmetteur à travers un câble spécifique, ces données sont envoyées sans l'horloge utilisée pour les lire (échantillonner). Donc, dans le côté de receveur, et avant de pouvoir lire ces données à nouveau, il nous faut premièrement extraire l'horloge à partir de ces données. Un des circuits utilisés pour extraire l'horloge à partir d'une trame de données et la boucle à verrouillage de phase (PLL).

MÉTHODOLOGIE:

Les circuits qui fonctionnent à un débit élevé de données (1 G bits/sec. et plus), sont souvent réalisés avec des technologies coûteuses comme par exemple: le GaAs, le bipolaire et le BiCMOS. Ce que nous proposons est de réaliser le même type de circuit, mais avec la technologie CMOS, qui est en effet moins coûteuse que les autres technologies.

Le circuit que j'ai opté pour extraire l'horloge et les données est un circuit basé sur une boucle à verrouillage de phase PLL

RÉSULTATS:

Réalisation au niveau schématique et masque d'un PLL qui fonctionne à 1.485 GHz en technologie CMOS 0.35 μ .

TITRE:

Le codesign logiciel/matériel: méthodologie et utilisation.

RÉSUMÉ:

Le temps de mise en marché devenant de plus en plus court, les entreprises recherchent de nouvelles façons de concevoir des produits qui répondront aux demandes du marché. L'utilisation de plus en plus répandue de logiciel, permet cette flexibilité mais brime les performances des systèmes. Par conséquent, l'utilisation conjointe de processeurs d'usage général, dont les performances atteignent aujourd'hui des niveaux très élevés et de circuits spécialisés chargés de la réalisation de fonctions très spécifiques représente la voie à suivre. L'utilisation de nouvelles méthodes et de nouveaux outils logiciels pour accentuer cette conception mixte, tout en diminuant la durée de conception et en augmentant la qualité, est reconnue par tous les chercheurs, comme essentielle pour l'avenir. Le codesign logiciel/matériel dans lequel on recherche le compromis le mieux adapté aux performances visées est une de ces méthodes.

PROBLÉMATIQUE:

Comme mentionné, tous les chercheurs s'entendent pour dire que le codesign logiciel/matériel est une méthode prometteuse pour la conception de systèmes tels que les systèmes embarqués. Cependant, du côté industriel, elle ne semble pas avoir l'attention des concepteurs. Cette recherche a donc pour but de faire la lumière sur cette problématique.

MÉTHODOLOGIE:

Après avoir bien défini le codesign et ses cinq étapes de conception, nous ferons la revue des méthodologies existantes. Ensuite, nous ferons la revue des outils existants. Ces derniers se regroupent sous un sous-groupe de méthodologie. Le but de l'exercice sera de catégoriser chaque approche à une méthodologie distincte, d'en faire les rapprochements et les différences. Ensuite, nous estimerons les gains potentiels quant à la qualité de la conception ainsi que du temps de développement. Plusieurs facteurs devront être considérés, entre autres: les impacts sur les processus de conception, le temps d'apprentissage et le développement des mécanismes de codesign (bibliothèques, interrelation, etc...). L'étape suivante fera l'évaluation des outils commercialement disponibles à l'aide d'une grille d'évaluation. Ensuite, nous procéderons à l'analyse des facteurs contraires à l'utilisation générale de la méthodologie. Nous élaborerons un protocole d'analyses et concevrons un questionnaire incluant le profil du répondant avec une combinaison de Myers-Briggs et Moore. Également, nous tenterons de catégoriser le type et profil de l'entreprise. Il est important ici de mentionner que la longue expérience industrielle du candidat, ainsi que ces nombreux contacts faciliteront grandement cette étape analyse. Finalement, la dernière étape consistera à tirer les conclusions et à proposer des solutions afin de mieux adapter le codesign aux besoins industriels.

RÉSULTATS:

Aucun résultat n'a encore été obtenu.

TITRE:

Plate-forme d'acquisition d'événements asynchrones générés par un commutateur numérique utilisé en téléphonie mobile.

RÉSUMÉ:

Le projet de recherche consiste à concevoir et à prototyper une plate-forme d'acquisition d'événements asynchrones générés par un commutateur numérique, de type AXE-10 de Ericsson, utilisé en téléphonie mobile. Chaque événement est généré par un module (appelé «bloc») du logiciel de contrôle. Les séquences de ces événements pour chaque appel téléphonique (appelés «chaînes d'appels») reflètent directement l'architecture et le fonctionnement du logiciel de contrôle. Cependant, d'une part, les événements individuels ne constituent qu'une faible source d'information. Ils doivent être corrélés pour chaque appel et les chaînes d'appels doivent être reconstruites afin d'obtenir des informations de valeur. C'est pourquoi, le système d'acquisition devra être composé de quatre éléments s'exécutant en temps réel. Premièrement, une interface (protocole basé sur TCP/IP) devra permettre de transférer les événements à partir du commutateur. Ensuite, un décodeur permettra de transformer les événements reçus en structure de données seront corrélées pour chaque appel en cours. Finalement, les chaînes d'appels seront reconstruites pour chaque instance en utilisant des algorithmes d'analyse grammaticale.

PROBLÉMATIQUE:

La première étape consiste à obtenir une copie des signaux (événements). Pour ce faire, il faut transférer leur contenu dans des signaux appelés combinés. Ceux-ci ont la propriété d'être envoyés directement d'un bloc à l'autre sans passer par les espaces tampons. Ils sont donc très efficaces. Ainsi formés, les signaux combinés sont envoyés au bloc d'acquisition. Au sein de ce dernier, ils sont copiés dans un espace tampon et quand celui-ci est plein son contenu est envoyé à travers une interface réseau vers le système d'acquisition.

Afin d'être capable d'effectuer un traitement quelconque sur les événements il faut, d'abord, les décoder, ou plutôt, les transformer du format utilisé par le commutateur numérique en format compatible avec la station de travail.

Afin d'obtenir de l'information de valeur il faut reconstituer les chaînes d'appels en corrélant les événements d'un même appel téléphonique. Comme il a été précisé dans l'introduction, les chaînes d'événements représentent le fonctionnement du réseau. Donc la séquence des événements dans une chaîne d'appel n'est pas aléatoire mais elle respecte le mode de fonctionnement des blocs du logiciel de contrôle.

MÉTHODOLOGIE:

Des techniques d'analyse grammaticale, de modélisation en Unified Modelling Language et de génération automatique de code seront utilisées puis vérifiées avec les données des réseaux réels de téléphonie cellulaire.

RÉSULTATS:

Actuellement, toute la partie de recherche et développement est terminée, il ne reste qu'à effectuer les tests de performance avec les données réelles.

TITRE:

Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.

RÉSUMÉ:

L'objet de la présente recherche consiste à exploiter le parallélisme de la technologie PULSE (SIMD), doté de multiples processeurs élémentaires, pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique et d'en valider le concept. En particulier, on vise la réalisation d'un prototype de simulateur rapide qui pourrait évidemment conduire à une technologie de commande de processus en temps réel.

PROBLÉMATIQUE:

À cause de considérations économiques et environnementales, ainsi que de nouvelles opportunités de vente et d'achat d'électricité dans un marché de plus en plus déréglementé, il devient nécessaire pour l'industrie du transport d'énergie d'optimiser les capacités de transits. Présentement la détermination des limites de transits se fait généralement en temps différé, avec comme seul exercice d'assurer la gestion de l'exploitation et de la planification, et ce, principalement à cause des limitations des calculateurs numériques actuels.

Alors, la nécessité d'augmenter les transits de puissance sur les corridors oblige aujourd'hui les compagnies d'électricité à avoir recours à des stratégies d'exploitation de plus en plus complexes. Il est donc devenu important d'introduire la détermination de ces capacités de transit dans l'environnement des centres de commande des réseaux. De plus, le développement d'une technologie de simulation beaucoup plus rapide que la réalité pourrait évidemment conduire à une technologie de commande de processus en temps réel.

MÉTHODOLOGIE:

- Analyse des besoins:
Étude des algorithmes existants et identification des parties critiques à la performance du système.
- Développement d'un système de simulation:
Parallélisation et optimisation de la technique de simulation employée
- Implémentation sur MATLAB:
Validation du système proposé au moyen d'un réseau simple de transport d'énergie à 9 barres.
- Implémentation sur PULSE (modèle SIMD).
Validation du système proposé sur le simulateur PULSE avec le réseau de transport d'énergie à 9 barres.
- Analyse de performance et optimisation
Comparaisons de performances entre les modèles SIMD et SISD.

RÉSULTATS:

À ce jour, une solution numérique entièrement matricielle a été développée pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique. Conjointement, une technique rapide de multiplication/addition matrice/vecteur fut également élaborée pour la technologie PULSE (SIMD).

Enfin, la validation et la performance du concept ont pu être établies sur le simulateur PULSE au moyen d'une simulation de 600 pas en stabilité transitoire, pour le réseau proposé de transport d'énergie électrique à 9 barres, avec un temps d'exécution moyen de 20 ms.

Un article intitulé "An Economic Parallel Processing Technology for Faster than Real-Time Transient Stability Simulation" a été proposé pour publication.

TITRE:

Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.

RÉSUMÉ:

La reconstitution d'un signal à partir de ses échantillons est un problème classique en théorie du signal. Les échantillonneurs rapides sont souvent réalisés à partir d'un décalage, dans le temps, de plusieurs échantillonneurs à vitesse moyenne. Cette technique, connue sous le nom d'échantillonnage entrelacé, augmente considérablement la vitesse, par contre, elle introduit une erreur significative dans les instants d'échantillonnage. De plus, on dispose souvent d'un nombre fini d'échantillons. Par conséquent, on est souvent confronté au problème de la reconstitution d'un signal à partir d'un nombre fini d'échantillons non-uniformes.

PROBLÉMATIQUE:

Un ensemble de difficultés prévisibles découle du caractère aléatoire et des interactions entre les divers mécanismes qui introduisent des erreurs et des distorsions. Ce travail cherche à reconstruire des signaux fortement corrompus obtenus de technologies de pointe poussées à leurs limites. De plus, les algorithmes de reconstitution à développer opèrent souvent près des limites fondamentales prédites par la théorie du traitement des signaux.

MÉTHODOLOGIE:

Cette recherche porte principalement sur une classe particulière d'échantillonneurs entrelacés que l'on nomme échantillonneurs parallèles. Il s'agit de trouver une méthode de reconstitution qui minimise l'erreur introduite par la non-uniformité, ainsi que celle introduite par le nombre fini d'échantillons décrivant le signal. Pour arriver à reconstruire précisément le signal capturé par un échantillonneur parallèle, il est aussi nécessaire de modéliser et de corriger les imperfections des échantillonneurs bloqueurs qu'il comporte.

Ce travail de recherche comprend les points suivants:

- Recherche bibliographique pour estimer l'état actuel des recherches et nous positionner par rapport à d'autres résultats de travaux de recherche;
- Développement d'un algorithme de reconstitution d'un signal à partir de ses échantillons;
- Compensation d'une erreur d'échantillonnage déterministe régulière et prévisible;
- Compensation d'une erreur d'échantillonnage aléatoire et prévisible;
- Modélisation de la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonction de transfert;
- Méthodes pour tirer avantage de la périodicité de l'erreur produite par l'échantillonnage parallèle;

RÉSULTATS:

La principale contribution de notre travail est de montrer qu'une reconstitution exacte est possible même si les échantillons sont non conformes. Nos résultats montrent que pour certaines catégories de défauts, le signal peut être reconstitué avec une grande précision et, pour le reste, une amélioration est possible. Nous avons entre autre établi un rapport entre la qualité de reconstruction et le produit amplitude-fréquence de la déviation.

TITRE:

Conception de circuits analogiques de précision utilisant des résistances ajustables intégrées.

RÉSUMÉ:

Le projet consiste à étudier et à proposer des architectures flexibles de circuits analogiques dont les grandeurs de sortie soit ajustable en calibrant des éléments résistifs intégrés. Le but est d'améliorer la précision de ces circuits, en tenant compte du meilleur compromis entre complexité du circuit et ses performances.

Nous allons proposer et réaliser quelques circuits importants pour les systèmes analogiques tels que les régulateurs de tension.

PROBLÉMATIQUE:

Dans les systèmes analogiques, on a souvent besoin des circuits de grande précision qui peuvent influencer grandement leurs performances. L'une des approches utilisées est le recours à un réglage des résistances ajustables.

Parmi les contraintes du réglage des résistances intégrées on retrouve : le coût du procédé de fabrication, qui peut être élevé, la grande dimension de la résistance et l'erreur relative sur la valeur ajustée.

Des recherches récentes sur des éléments résistifs ajustables de haute précision, de la taille d'un transistor CMOS, ont ouvert de nouveaux horizons à leur utilisation.

Le but du projet est de tirer avantage de ces éléments précis et de proposer des méthodes de compensation et de réglage pour des circuits analogiques.

MÉTHODOLOGIE:

Notre objectif premier consiste à définir les architectures et les parties de la fonctionnalité du circuit nécessitant un ajustement précis et qui, par ce fait, améliorent les performances du système. L'approche est la suivante :

- Recherche de littérature des architectures proposées pour les fonctionnalités que nous voulons étudier ;
- Identification des parties sensibles à l'ajustement des résistances;
- Optimisation des circuits choisis.

RÉSULTATS:

Les topologies de régulateurs, ciblées suite à une revue de littérature, ont été étudiées et analysées, afin de rencontrer les différentes spécifications de performance que nous recherchons.

Le projet vient de démarrer depuis quelques mois seulement et sur la base de résultats de simulation obtenus récemment sur les régulateurs de tension, leur optimisation est en cours.

TITRE:

Optimisation lors de la synthèse de circuits à partir de langages de haut niveau.

RÉSUMÉ:

L'objectif est de développer différentes techniques visant à maximiser la vitesse à laquelle un circuit peut traiter des données. Certaines optimisations, présentement faites entièrement à la main en utilisant des langages de bas niveau pour décrire les circuits, pourraient être faites automatiquement ou avec des outils dirigés par le concepteur.

PROBLÉMATIQUE:

En général, dans les circuits contrôlés par une seule phase d'horloge, à certains endroits, du temps est tenu à attendre le prochain cycle, même sur le chemin critique. Ceci vient du fait que les temps de calcul entre chaque registre n'est pas le même. La resynchronisation tente de diminuer ce problème, mais se contraint toujours à avoir une seule phase d'horloge, ce qui l'empêche d'atteindre l'optimal. A la place, un circuit multi-phases pourrait être fait avec un genre de retiming multi-phases, en utilisant des horloges qui arrivent toujours exactement au bon moment. Dans ce cas, il faut trouver les phases nécessaires et le circuit équivalent au circuit original, mais contrôlé de manière très précise par ces différentes phases. Alors, le problème de la génération des horloges se pose, ainsi que les variations sur les temps d'arrivée de celles-ci.

La logique pourrait aussi être optimisée. Présentement, il existe des méthodes de resynthèse, qui réorganisent la logique combinatoire entre les registres, pour réduire le temps de calcul. Ces techniques ont le problème de ne pas passer par-dessus les registres pour optimiser le circuit de manière plus globale, et la logique optimisée n'est pas nécessairement sur le chemin critique.

MÉTHODOLOGIE:

Les points suivants sont travaillés:

- Une alternative au retiming, multi-phases, qui trouve les phases permettant un débit optimal;
- Une bonne caractérisation du délai dans les circuits, qui ne donne pas de faux chemins critiques;
- Minimiser les effets des variations sur les temps d'arrivées de l'horloge;
- Une technique de resynthèse ciblant le chemin critique et passant par-dessus les registres, qui fonctionnent sur nos circuits multi-phases;
- Adapter ces techniques, si nécessaire, pour faire du wave-pipelining automatiquement.

RÉSULTATS:

Une alternative au retiming a été trouvée, donnant le débit maximal sans contrainte sur le nombre de phases. Aussi, un algorithme remplace les registres par des bascules sensibles au niveau, de manière à réduire la taille et à diminuer la demande en précision sur l'horloge.

TITRE:

Nouvel implant urinaire dédié à la stimulation neurale sélective.

RÉSUMÉ:

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (cathéter pour évacuer l'urine par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

En utilisant un stimulateur neuro-musculaire miniaturisé implantable et un contrôleur externe, on excite le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter pour évacuer l'urine. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neuro-stimulation tout en étant simple d'utilisation pour l'utilisateur. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, les paramètres sont transmis par le contrôleur à l'implant qui s'assure de leur validité par des algorithmes de détection d'erreurs. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres désirés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs: soient l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite isolé dans un produit bio-compatible. Une électrode spéciale est utilisée au niveau du nerf et des connecteurs étanches de notre conception sont utilisés pour relier l'électrode à l'implant.

RÉSULTATS:

Notre système est totalement fonctionnel et il est à l'essai en ce moment au département d'urologie de l'Université McGill. Nous avons aussi conçu la partie de contrôle et de génération des stimulus sur un circuit intégré en technologie CMOS 0.35 micron. Ce circuit a été fabriqué par l'entremise de la Société Canadienne de Microélectronique et il est en phase test actuellement.

TITRE:

Technique de conception et testabilité des circuits intégrés optoélectroniques en GaAs, application aux communications optiques.

RÉSUMÉ:

Dans cette thèse nous abordons les limitations de système liées au bruit d'entrée du récepteur, au produit gain-bande-passante à l'interface optoélectronique de réception et la caractérisation aux hautes fréquences de même que la testabilité des circuits conçus. Nous proposons des techniques de conception basées sur certaines propriétés de la configuration à transimpédance pour améliorer les performances de l'étage de réception dans un système de transmission par fibre optique.

PROBLÉMATIQUE:

Avec le développement et la mise en œuvre de nouvelles technologies de l'information, les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de plus en plus élevés. Ces applications nécessitent des techniques de transmission à haut débit et par conséquent, une demande accrue en bande passante.

Notre recherche est axée sur la formulation de nouvelles méthodes de conception d'une classe d'amplificateurs à transimpédance à faible bruit et à large bande en GaAs dont l'entrée est insensible aux variations de la charge capacitive d'entrée. Nous développons un modèle simple de sensibilité du récepteur incorporant des statistiques du photodétecteur permettant une analyse efficace des performances générales du photorécepteur de même que l'impact des diverses dégradations sur la performance du système de transmission. Enfin, nous allons proposer une architecture de circuits de décision adaptée au fonctionnement sans biais à grands débits permettant d'améliorer la gamme dynamique du photorécepteur et le rapport signal sur bruit (SNR).

MÉTHODOLOGIE:

- Choix d'une architecture appropriée et simulation sur Pspice afin de caractériser et optimiser les différents blocs;
- Développement d'un prototype en technologie GaAs 0.6 microns, réalisant la réception, le traitement optique et la transmission de 4 canaux de transmission utilisant une matrice d'interconnexion optique 4 x 4;
- Extension du design à des architectures plus denses et proposition de méthodologie de design;
- Réalisation des dessins de masques avec "Cadence" fabrication du circuit intégré et test de l'architecture définitive.

RÉSULTATS:

Trois types de configuration à transimpédance ont été proposées et publiées. Extension du design pour des structures différentielles avec feedback parallèle, ce qui a permis d'améliorer les performances en bruit, trois publications ont été également réalisées.

TITRE:

Égalisateur adaptatif numérique haute performance pour signaux QAM.

RÉSUMÉ:

Les liens de communication modernes demandent des taux de transfert de plus en plus importants. Une méthode présentement très utilisée pour atteindre des densités spectrales élevées est la modulation d'amplitude en quadrature de phase (QAM). Cependant, la complexité de l'appareillage requis pour la mise en œuvre de ce type de modulation pose des problèmes particuliers.

Ce projet consiste en la réalisation d'un filtre adaptatif de haute performance par la famille de CPLD Flex 10K d'Altera. Le prototype conçu devra réaliser l'égalisation de données binaires transmises au travers d'un lien radio point à point SDH/SONET utilisant une modulation 128QAM. Pour obtenir une fréquence d'opération satisfaisante, on doit développer une architecture pipeline efficace.

PROBLÉMATIQUE:

Les signaux à haut taux de signalement utilisés dans les systèmes de communication à grand débit sont déformés lorsque transmis sur d'importantes distances. Les effets dispersifs de l'espace de propagation des ondes électromagnétiques créent de l'interférence nuisible lors de la transmission. On a donc une réponse impulsionnelle du canal dont l'étalement temporel est supérieur au temps de transmission d'un symbole. Il en résulte une diaphonie entre symboles adjacents reçus au récepteur.

On choisit de compenser pour ces effets indésirables en insérant un égalisateur dans le système de réception. Celui-ci doit en quelque sorte réaliser la convolution du signal reçu avec l'inverse de la réponse impulsionnelle du canal. Il doit également être adaptatif, c'est-à-dire capable de s'ajuster automatiquement vis-à-vis des caractéristiques changeantes du canal.

Nous procéderons à la réalisation d'un égalisateur numérique de grande vitesse. Pour cela, une architecture pipeline efficace et rapide doit être développée. On doit également identifier le ou les algorithmes adaptatifs convenant le mieux à une telle architecture.

MÉTHODOLOGIE:

Afin d'être en mesure de tester plusieurs réalisations différentes, on intègre l'égalisateur adaptatif à l'intérieur de composants logiques programmables. La famille de CPLD Flex 10K d'Altera a été sélectionnée à cette fin. On choisit de synthétiser les architectures développées à partir de modèles AHDL paramétrisables. L'utilisation de paramètres permet d'ajuster les caractéristiques de l'architecture obtenue. Les étapes de synthèse, de simulation logique et d'intégration sont réalisées à l'aide du logiciel Max+PLUS II. Les vecteurs de simulation sont générés à partir de modèles Matlab du système ou à partir d'échantillons tirés d'un démodulateur 128QAM. Des programmes Matlab permettent de simuler le canal selon le modèle de Rummler tout en tenant compte d'autres facteurs comme le bruit blanc Gaussien. De plus, un environnement de simulation codé en C permet d'analyser le comportement exact de l'égalisateur pendant et après la convergence en tenant compte des effets liés à la représentation en virgule fixe des nombres dans le système.

RÉSULTATS:

Une carte prototype a été conçue et fabriquée pour recevoir les quatre CPLD Flex10k130 nécessaires au traitement numérique avec leurs divers composants d'interface. Parallèlement à ce travail, des modèles AHDL paramétrisables de l'égalisateur ont été développés et testés en simulation système à l'aide de Matlab. Ce travail de validation a été complété avec un environnement de simulation dédié codé en C. Le fonctionnement d'un égalisateur PAM a été démontré avec la carte prototype fabriquée, bien que certains problèmes pratiques nous empêchent toujours de compléter l'intégration de l'égalisateur QAM.

TITRE:

Conception des circuits de synthèse d'horloge avec des accumulateurs de phase.

RÉSUMÉ:

Le projet consiste à la réalisation pratique d'un circuit de synthèse numérique de fréquence pour les systèmes de communication et en particulier, pour des applications de télévision numérique.

PROBLÉMATIQUE:

La prolifération des circuits synchrones a entraîné un besoin grandissant de circuits capables de fournir une horloge précise. Parmi ces circuits, les circuits de synthèse numérique de fréquence sont de plus en plus utilisés.

Cette thèse vise à explorer des méthodes efficaces pour la synthèse directe d'une horloge, avec une gigue réduite, à partir d'une autre horloge.

MÉTHODOLOGIE:

Le développement de l'industrie électronique et surtout de la microélectronique, permettent d'intégrer toutes les fonctions d'un circuit de synthèse d'horloge dans une seule puce. Les compagnies Miranda et Gennum, qui parrainent le projet, ont clairement exprimé leurs besoins d'intégration d'un tel circuit dans leurs produits. Cependant, la complexité du problème rend l'intégration difficile. La résolution des problèmes rencontrés demande le développement de techniques nouvelles, d'où le besoin de méthodes efficaces pour réaliser des circuits de synthèse d'horloge qui ont la précision désirée avec les technologies disponibles. Pour concevoir les circuits, on a utilisé les outils CAO disponibles au Groupe de recherche en microélectronique. Le design a été suivi d'une réalisation pratique à l'aide de la Société Canadienne de Microélectronique.

RÉSULTATS:

Deux circuits de synthèse numérique de fréquence ont été réalisés à l'aide de la SMC. Les résultats des tests confirment la fonctionnalité et les performances attendues

TITRE:

Une méthode de codesign logiciel/matériel pour la conception de modems haute performance.

RÉSUMÉ:

Les domaines de la communication et de la téléphonie se développent très rapidement. Ce type de système nécessite des caractéristiques très particulières. Nous voulons faire la conception de différents modems de la famille xDSL (Digital Subscribe Line) en utilisant une méthodologie de co-design. Pour déterminer les parties du modem qui seront en logiciel et celles en matériel, nous allons utiliser des métriques pour estimer si le modem rencontre certaines contraintes. Ces contraintes sont le temps d'exécution du système, la surface utilisée par le système ainsi que la puissance dissipée.

PROBLÉMATIQUE:

Différents critères doivent être pris en considération lors de l'implantation d'un modem. Ce type d'application s'exécute en temps réel et doit donc être capable de rencontrer des contraintes de temps assez strictes. Pour former une ligne de communication, un modem est nécessaire à chacune des extrémités de la ligne, d'où l'utilisation de centrales. Ces centrales ont une grande concentration de modems dans un espace limité. Pour cette raison, il est essentiel de limiter la surface utilisée, ainsi que la dissipation de puissance.

Les modems xDSL utilisent une technologie DMT (Discrete Multi-Tone). Celle-ci divise le canal en plusieurs sous-canaux, transmettant séparément et de manière concurrentielle des données. Chaque sous-canal utilise sa propre porteuse. Que l'on parle du ADSL, du Universal ADSL ou du VDSL, la technologie utilisée est la même, mais avec des proportions différentes. Par exemple, le Universal ADSL utilise deux fois moins de sous-canaux que la version complète du ADSL. Nous voulons pour chacun des modems de la famille xDSL déterminer les différentes parties qui seront implantées en matériel et en logiciel.

MÉTHODOLOGIE:

Une méthode de co-design logiciel/matériel sera développée ou adaptée pour la conception de modem xDSL. Cela signifie que l'application sera d'abord spécifiée et modélisée de façon logicielle en langage C, puis profilé sur un processeur C54 ou ARM7. Les parties critiques du système seront ensuite étudiées de façon à déterminer celles qui devront être réalisées en matériel pour obtenir des performances adéquates du système. Ce partitionnement entre le logiciel et le matériel se fera en considérant les quatre métriques suivantes: les communications, la consommation de puissance, le temps d'exécution et la surface utilisée. Par conséquent, quatre estimateurs (un par métrique) seront développés ou adaptés. Les parties de l'application à réaliser en matériel seront ensuite décrites en langage VHDL pour être synthétisés par un outil commercial tel que Synopsys. De même, les parties de l'application à réaliser en logiciel seront générées (compilation et édition de lien). En bout de ligne, une simulation logiciel/matériel servira de validation.

RÉSULTATS:

Les différents modules des modems ont été développés en C. Puis, les parties critiques ne pouvant s'exécuter sur le processeur ont été modélisé en matériel. Les modules matériels ont été évalués selon leur surface, leur temps d'exécution, ainsi que leur dissipation de puissance. Un algorithme de partitionnement a été développé pour déterminer le partitionnement matériel/logiciel maximal.

TITRE:

Conversion matérielle automatique d'algorithmes appliqués au domaine de l'analyse et du traitement de signaux radars.

RÉSUMÉ:

L'algorithme *Intentional Modulation On Pulse* (IMOP) est une combinaison d'algorithmes spécialisés dans l'analyse et le traitement des signaux radars. Une implantation matérielle de l'algorithme IMOP permettrait de traiter des signaux radars en temps réel.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en virgule flottante, leur implantation requiert fréquemment des opérateurs à virgule fixe, afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou de perte de précision, chaque opérande doit être représentée par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à propager la tolérance d'erreurs des sorties définies par l'utilisateur vers les entrées, ce qui permettrait de minimiser à la fois le nombre de bits nécessaires pour représenter chaque opérande et la surface totale de l'implantation matérielle de l'algorithme. Finalement, un outil automatique qui convertit un programme à virgule flottante en un programme à virgule fixe, qui considère les contraintes matérielles et qui pourrait être étendu aux outils de conception VLSI, permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Afin de déterminer les performances réelles de l'outil de conversion automatique et dans le but d'implanter l'ensemble de l'algorithme IMOP, la première tâche a été d'analyser les algorithmes afin d'être en mesure de déterminer les parties de IMOP qui exigent le plus d'effort d'exécution (profilage). Une revue de littérature réalisée sur le profilage a permis de déterminer quelle est la technique la plus appropriée à notre type d'application. Finalement, une recherche sur l'outil de conversion automatique a été réalisée dans la littérature afin de déterminer les avancements sur ce domaine de recherche scientifique.

TITRE:

Méthodes d'optimisation pour la conception de systèmes matériels/logiciels.

RÉSUMÉ:

Ce projet de recherche se concentre sur le développement de méthodes pour l'amélioration de la performance, la réduction de la surface et la réduction de la consommation de la puissance pour des systèmes informatiques. Quant à l'avancement de ce projet de recherche, nous avons développé un algorithme pour déterminer une borne sur le débit maximal pour des systèmes de type pipeline. Pour le design de systèmes matériels opérant à débit maximal, nous avons développé des méthodes pour réduire le nombre de registres requis ainsi que pour réduire le nombre de phases du circuit final. Des méthodes pour réduire la consommation de puissance sont en cours de développement.

PROBLÉMATIQUE:

La qualité d'un système informatique se mesure généralement par sa performance, sa surface et sa consommation de puissance en cas de systèmes matériels. Concevoir un système ayant une certaine qualité, c'est résoudre un ensemble de problèmes d'optimisation très complexes. Ces problèmes sont prouvés NP-complets en général. Pour les résoudre d'une façon efficace, le développement d'heuristiques est nécessaire. Dans ce projet de recherche, nous nous concentrons sur le développement d'heuristiques pour l'amélioration de la performance et pour la réduction de la surface et la consommation de la puissance pour des systèmes informatiques.

MÉTHODOLOGIE:

Les méthodes que nous avons développées et les méthodes que nous sommes en train de développer sont destinées à la résolution de problèmes NP-complets. Pour tester l'efficacité de ces méthodes, leur expérimentation sur des cas de test est nécessaire. Pour cette fin, nous avons planifié le développement d'un outil en langage C++ que nous avons appelé CircuitOptimizer. Les méthodes que nous avons déjà développées ont été incorporées dans CircuitOptimizer. Les méthodes en cours de développement y seront intégrées aussi. Nous espérons aboutir à un outil d'aide à la conception de systèmes informatiques de haute qualité.

RÉSULTATS:

Nous avons développé une méthode pour déterminer une borne sur le débit maximal pour des systèmes de type pipeline. Aussi, pour des systèmes matériels fonctionnant à débit maximal, nous avons développé des méthodes pour réduire le nombre de registres requis ainsi que pour réduire le nombre de phases du circuit.

TITRE:

Étage d'entrée d'un échographe miniaturisé à balayage sectoriel.

RÉSUMÉ:

L'objectif de ce projet consiste en la conception d'un étage d'entrée d'un échographe miniaturisé. Ce dernier est constitué des étages d'amplification et de numérisation. Dans cette application, il est nécessaire d'amplifier largement les signaux (écho) de très faible amplitude (quelques microvolts) qui proviennent du profond que ceux de forte amplitude qui proviennent de la surface de la peau du corps humain. Une technique d'amplification consiste à utiliser un véritable amplificateur logarithmique basé sur des étages cascades à gain modérés. Pour compenser l'atténuation des signaux reçus par la réflexion sur les interfaces de tissus humains, un amplificateur à gain programmable est utilisé. Il sert à compenser l'atténuation en décibel pour chaque centimètre de profondeur. La programmation de cet amplificateur est fait par un convertisseur analogique à numérique «pipeline» ayant 10 bits de résolution et une fréquence d'échantillonnage de 25MHz.

PROBLÉMATIQUE:

Généralement, l'étage d'entrée d'un échographe est constitué entre autre d'un préamplificateur qui sert à amplifier les échos reçus sans affecter leurs amplitudes. L'utilisation d'un amplificateur logarithmique permet de compresser les échos de forte amplitude ce qui provoque la création des artéfacts sur l'écran du moniteur.

MÉTHODOLOGIE:

En s'inspirant des travaux de recherche qui ont été faits dans le domaine de l'imagerie médicale, nous proposons une architecture rigoureuse de l'étage d'entrée d'un échographe.

Notre architecture comporte les étages suivants :

- Un amplificateur logarithmique formé des étages à faible gain cascades avec un étage de compensation qui est connecté à un convertisseur analogique-numérique pipeline;
- Dans ce travail, on vise à intégrer dans une seule puce (ASIC) ces trois étages et à implanter le contrôleur en FPGA

RÉSULTATS:

Un circuit intégré CMOS intégrant les deux premiers étages a été implanté et fabriqué. Le design d'un deuxième circuit intégré comportant les trois étages est en cours pour à la fois améliorer les résultats obtenus de la première puce et compléter l'ensemble du ASIC souhaité.

TITRE:

Capteur d'images CMOS dédié à un implant visuel.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un capteur d'images en technologie CMOS applicable à un implant visuel. Ce dernier est un appareil visant à stimuler le cortex cérébral de patients aveugles dans le but de leur rendre une vision fonctionnelle. Le capteur intégrera toutes les composantes nécessaires à la transformation du signal optique en signal électrique analogique, numérique et l'interface externe numérique.

PROBLÉMATIQUE:

La nature de l'application du capteur impose des contraintes de taille. En effet, son utilisation quotidienne prolongée exige qu'il soit compact et extrêmement économe en énergie. Ensuite, la faible taille de la matrice d'électrodes de stimulation corticale implantable exige que l'on puisse optimiser son utilisation selon chaque circonstance. En effet, il est souhaité que, selon la situation, l'utilisateur puisse modifier le compromis qui existe entre la largeur de son champ de vision et sa capacité à discerner les détails de petits objets.

MÉTHODOLOGIE:

Le capteur est composé d'une matrice de pixels actifs CMOS en mode courant dont la taille et la résolution peuvent être modifiés au moment de la lecture des données. La modification de ces deux propriétés permet d'implanter un "zoom" électronique ne nécessitant aucun déplacement de pièces mécaniques. Un circuit de moyennage de colonnes permet ensuite d'éliminer les effets d'artefacts associés à la réduction d'image. Puis, un circuit de réduction du bruit spatial fixe permet d'amoindrir l'erreur associée au gain propre à chaque cellule, en plus de l'erreur de décalage habituellement corrigée. Des convertisseurs analogique-numérique intégrés permettent finalement d'utiliser le capteur avec une interface entièrement numérique.

Un capteur de test permettant de vérifier certaines hypothèses de base et permettant de déterminer la configuration optimale pour les cellules photosensibles a été fabriqué. Suite à la réception et à la caractérisation dudit circuit, l'architecture d'un capteur complet pourra être proposée.

RÉSULTATS:

Au moment d'écrire le présent document, le premier capteur de caractérisation a été testé. Les résultats expérimentaux ont été recueillis et comparés avec les simulations. Les résultats expérimentaux présentent des performances intéressantes, principalement au niveau du circuit réducteur de bruit spatial fixe.

TITRE:

Conception et mise en œuvre d'un système de reconfiguration dynamique.

RÉSUMÉ:

Ce projet destiné au milieu industriel vise à ajouter, entre autre, une fonctionnalité RTR (Run Time Reconfiguration) sur la base d'un module existant et commercialement disponible. Le produit final sera un outil de conception et de déverminage basé sur le RTR, exploitant un lien JTAG comme canal de communication secondaire. Une capacité de constante interaction avec le système et une grande flexibilité de reconfiguration caractériseront ce produit.

PROBLÉMATIQUE:

Le projet tire une partie de sa complexité du fait que des fonctions additionnelles doivent être ajoutées à un module existant et dont le design extérieur est plus ou moins fixe. Étant donné également que certaines composantes du module sont carrément intouchables, nous devons intervenir, de manière alternative, par une entrée secondaire, qui est jusqu'à maintenant inutilisée et dont l'interface reste à construire. De plus, une partie logicielle est à concevoir. Celle-ci permettra à l'utilisateur de construire un système basé sur ce module et d'interagir avec lui de manière continue.

MÉTHODOLOGIE:

Les actions à poser sont subdivisées en deux parties. D'abord, il faut modifier l'architecture du contrôleur du module afin d'y implanter l'interface avec l'entrée secondaire en plus d'y inclure un contrôleur de mémoire externe. Ensuite, il faut unir le tout par un logiciel, versatile, portable pour n'importe quel type de système hôte, et qui saura assister correctement l'utilisateur dans ses tâches de conception et d'implantation.

RÉSULTATS:

Les premières tâches à accomplir, avant même de commencer toute structure de conception étaient de se familiariser avec le produit existant et de remonter le contrôleur avec les outils de conception disponibles à ce jour ainsi qu'un banc de test adéquat. Étant donné que le contrôleur est et restera implanté dans un FPGA relativement petit et de moins en moins utilisé dans l'industrie, cette tâche n'a pas été facile, les outils les plus performants n'étant pas nécessairement développés pour traiter des circuits basés sur cette famille de FPGA. La synthèse des composantes VHDL s'est avérée problématique, car elle est moins efficace pour cette famille de FPGA. Finalement, nous avons réussi à placer et router le contrôleur dans son état presque original, avec les outils disponibles. Un prototype complet et fonctionnel a été démontré.

TITRE:

Développement d'une interface matérielle configurable pour un processeur ARM7 basée sur le protocole VCI de l'alliance VSI.

RÉSUMÉ:

Le premier objectif est de faire un pas vers le développement d'une méthodologie de synthèse des communications pour des systèmes sur une puce, en allégeant la tâche des concepteurs de systèmes utilisant un processeur ARM7DTMI de la société ARM. Pour ce, une interface matérielle configurable pour ce processeur sera développée. Ensuite, un programme permettra à un concepteur de générer automatiquement une interface spécifique à son système selon les mécanismes de communication et de synchronisation choisis. L'interface permettra au ARM7 de communiquer en utilisant le protocole VCI (Virtual Component Interface) de VSIA (Virtual Socket Interface Alliance). Le deuxième objectif est de tester l'efficacité de l'utilisation du protocole VCI, encore en développement, dans un contexte de communication *point-à-point* pour différentes applications (multiprocesseur ou processeur/coprocesseur)

PROBLÉMATIQUE:

La vitesse d'avancement de la technologie entraîne l'augmentation rapide de la grosseur des circuits intégrés. Le développement de systèmes sur une puce est une des seules solutions viables à ce problème de croissance des circuits, mais cela entraîne une augmentation de la complexité de ceux-ci. Pour éviter d'augmenter le délai de conception tout en permettant d'augmenter la complexité, la réutilisation de modules est essentielle. Cependant, pour que la réutilisation soit efficace, l'intégration des modules et le développement des communications entre ceux-ci doivent se faire rapidement. L'utilisation d'un protocole standard pour établir les communications entre les modules est une solution intéressante. Dans le présent projet, il faut donc permettre une intégration rapide des communications avec un ARM7 en utilisant le protocole VCI de VSIA. De plus, les pertes de performances amenées par l'utilisation de ce protocole seront évaluées pour différentes applications.

MÉTHODOLOGIE:

L'interface VHDL a été développée à l'aide de l'outil Renoir de Mentor Graphic. Les mécanismes de communication implantés sont la mémoire partagée et le passage de message. Le premier mécanisme sera implanté à l'aide d'une mémoire duale et le deuxième à l'aide d'un FIFO. En plus, plusieurs mécanismes de synchronisation sont possibles. La génération automatique se fait avec un programme *Perl* à partir des fichiers VHDL contenant des clauses *generate* et d'un *package* VHDL contenant des constantes. De plus, la synthèse de l'interface sera effectuée avec l'outil Design Analyser de Synopsys. Pour tester l'interface matérielle VHDL, des bancs de tests seront simulés à l'aide de l'outil Modelsim. De plus, les modèles VHDL des mémoires et du processeur seront utilisés pour simuler le système matériel/logiciel à l'aide de l'outil de co-simulation Seamless de Mentor Graphic. Trois applications différentes seront utilisées pour tester l'interface et le protocole : un *Block Matcher*, un *Reed Solomon* et un Quick Sort.

RÉSULTATS:

L'interface est complètement terminée. Les tests sur les trois applications ont été effectués. Il reste maintenant à modifier un peu le code et à écrire le programme *Perl* pour permettre la génération automatique de l'interface. Un poster a été présenté en mai dans le cadre du congrès de l'AFCAS et en juin dans le cadre de l'exposition TEXPO. De plus, un article a été sélectionné pour la conférence MUG qui aura lieu à la fin septembre. En plus, un article a été soumis à la conférence DATE (qui aura lieu en mars).

TITRE:

Réalisation d'un lien RF à modulation numérique destiné aux applications de «tagging».

RÉSUMÉ:

Nous concevons un circuit intégré capable de recevoir et d'émettre de l'information sous forme de signal RF, et qui agit comme interface entre deux circuits numériques. Le signal modulé doit permettre un transfert efficace de l'énergie entre une base fixe et une unité mobile pour alimenter cette dernière.

PROBLÉMATIQUE:

L'alimentation de composants électroniques que l'on implante dans le corps humain constitue un défi de taille, étant donné les dangers d'infection, il n'est pas possible de relier ces composants via des fils électriques à une source externe d'énergie. On peut générer une alimentation à partir d'une pile; cependant, cette dernière viendra tôt ou tard à perdre sa charge, d'où nécessité de la remplacer. Un lien RF constitue une alternative intéressante à la pile, puisque la source d'énergie est externe, donc inépuisable ou facilement remplaçable. De plus, ce lien permet le transfert d'information entre une unité de base intelligente (ou contrôleur), et le module implanté.

Plusieurs autres applications peuvent tirer profit d'un lien RF, dont la *tagging* (aussi connu sous l'appellation RF ID). Un tag peut être une étiquette électronique que l'on appose à un produit par exemple. Ainsi, cette étiquette intelligente, une fois interrogée, peut retourner de l'information sur le produit qu'elle identifie (tel sa catégorie, son prix), un peu à la manière d'un code à barre. Cependant, la lecture d'une étiquette électronique s'avère beaucoup plus rapide puisqu'il n'y a pas de recensement physique à mener: seule une interrogation par champ électromagnétique s'avère nécessaire. On peut ainsi mener un inventaire d'un entrepôt en temps réel, ou encore établir instantanément la facture d'un panier d'épicerie.

MÉTHODOLOGIE:

Un modèle du système de communication (MATLAB) est en cours de réalisation. Parallèlement, nous développons les différentes fonctions du système à planter à l'aide d'outils de simulation analogiques (HSPICE). Une fois le tout assemblé et simulé, la fabrication est à prévoir (délai de 2 à 3 mois). Durant la fabrication, les outils de test seront élaborés, puis le circuit intégré testé. Deux versions du lien de communication seront développées: l'une destinée aux implants, l'autre aux applications de *tagging*.

RÉSULTATS:

Plusieurs sous circuits nécessaires (filtres Gm-C, AmpliOps, DACs) ont déjà été réalisés et testés dans un procédé d'intégration CMOS (0.35µm) par des membres de l'équipe PolySTIM. Nous caractérisons actuellement une nouvelle puce fabriquée récemment et regroupant sur LNA et sur un élagueur opérant à 453 MHz.

TITRE:

Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo.

RÉSUMÉ:

Le projet consiste à étudier et à proposer une architecture flexible basée sur le meilleur compromis possible entre une réalisation matérielle et logicielle et destinée à insérer/extraire des données ancillaires dans un signal vidéo.

PROBLÉMATIQUE:

Tout d'abord, une des contraintes dans l'élaboration du circuit est que l'on désire avoir un très bon synchronisme entre la fréquence du signal vidéo et celle des échantillons audio que l'on désire extraire (mentionnons que les données audio sont les données ancillaires auxquelles on accorde le plus d'importance). Plus précisément, on désire avoir une gigue de phase entre ces deux fréquences qui ne doit pas excéder 1 ns. Précisons qu'une version de ce produit a été réalisée sous la forme d'un circuit imprimé basé sur des composants commercialement disponibles par la société Miranda. Avec cette version, le délai nécessaire au bon traitement des signaux vidéo se chiffrait autour de 40 μ s, ce qui est beaucoup trop élevé. Une architecture basée uniquement sur une implémentation software ne peut rencontrer les contraintes mentionnées ci-haut. Cependant, en terme de flexibilité, une partie de cette architecture aurait avantage à être réalisée à l'aide d'un microcontrôleur.

MÉTHODOLOGIE:

Notre objectif est donc de définir une architecture où les parties de la fonctionnalité du système nécessitant un haut rendement soient réalisées en matériel dédié et le reste, implanté dans un microcontrôleur relativement simple. Plus précisément, la méthodologie conduisant au circuit voulu peut s'exprimer ainsi :

- Définition d'une architecture adéquate;
- Conception de l'architecture en VHDL;
- Simulations fonctionnelles de l'architecture (Synopsys)
- Synthèse des modules et simulations temporelles de l'architecture (Synopsys)
- Placement et routage de l'architecture (Cadence)

RÉSULTATS:

Les résultats se divisent en quatre catégories:

- La description du circuit en langage VHDL comporte près de 100 modules qui totalisent près de 25,000 lignes de code,
- La fonctionnalité du mode MUX et du mode DEMUX a été validée et fonctionne comme nous l'avions définie. Pour ce faire, près de 25,000 lignes de code VHDL ont été nécessaires (fichiers test-bench).
- La latence de traitement du circuit est en deca de 4 us ce qui est une grande amélioration en comparaison des 40 us de la première version.

L'estimation de la complexité du circuit se chiffre à 120,000 portes logiques ou la porte logique de base est une "nand" à deux entrées.

TITRE :

Conception d'un cathéter pour la mesure de divers paramètres respiratoires.

RÉSUMÉ:

L'objet de ce projet de maîtrise est la réalisation d'un cathéter comportant un dispositif miniature apte à acquérir, traiter et transmettre différentes informations d'ordre respiratoire.

PROBLÉMATIQUE:

Des données comme la pression au niveau de certains organes ou leur activité électrique permettent aux médecins de diagnostiquer plus efficacement certaines pathologies respiratoires. La réalisation d'un système miniaturisé capable d'acquérir à lui seul des informations de ces différents types permettrait de diminuer l'inconfort des malades (réduction de la taille du cathéter, du nombre de fils reliant le patient à des systèmes externes, etc.) L'enjeu est donc de diminuer la gêne en augmentant efficacité et précision des mesures.

MÉTHODOLOGIE:

Le système comporte des parties électromécaniques et doit donc subir des traitements spécifiques de micro-usinage après sa fabrication dans des technologies standards. La réalisation de ces structures constitue ainsi un premier volet de ce projet. En parallèle, il est nécessaire de mener à bien certaines simulations électromagnétiques afin de positionner le plus adéquatement possible les diverses électrodes du système.

RÉSULTATS :

À l'heure actuelle, des parties mécaniques ont été expédiées en fabrication et il est trop tôt pour dire si la méthode employée pour les réaliser a été efficace. En outre, la partie électronique de traitement des informations est en cours de conception.

TITRE:

Transfert d'énergie et transmission bidirectionnelle de données par couplage inductif pour des systèmes électroniques implantables.

RÉSUMÉ:

Dans le présent travail, nous proposons une nouvelle technique destinée à améliorer les performances d'un système transcutané de transfert d'énergie pour des systèmes électroniques implantables (SEIs). Le système utilisé est basé sur un lien à couplage inductif est aussi exploité pour le transfert de l'énergie que pour la transmission bidirectionnelle de données. La technique proposée consiste en l'utilisation d'un circuit intégré de contrôle permettant d'ajuster automatiquement les niveaux de tensions d'entrée et de sortie du lien inductif. Ce contrôle automatique a pour objectif de maintenir le niveau d'énergie à transférer à l'implant à un niveau bien déterminé et de réaliser la modulation des signaux nécessaires à la transmission des données. En contrôlant le niveau d'énergie à transférer, le circuit de contrôle permet aussi de minimiser la sensibilité du lien aux fluctuations de la tension d'alimentation de l'amplificateur de puissance. Le circuit de contrôle permet aussi de réduire les pertes d'énergie résultant de l'opération de la modulation des signaux à transmettre.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces implants représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous menons des recherches pour développer et concevoir des interfaces d'alimentation et de communication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et évaluation de l'ensemble du système proposé.

RÉSULTATS:

- Caractérisation de l'interface inductive (détermination du rendement global).
- Développement et conception d'un contrôleur intégré de l'étage de puissance et de transmission de données.
- Développement et conception d'une boucle à verrouillage de fréquence basée sur une nouvelle architecture CMOS d'un convertisseur de fréquence/tension.

TITRE:

Conception et réalisation d'un filtre Gm-C dédié à des applications à haute fréquence.

RÉSUMÉ:

Ce travail consiste à concevoir un filtre Gm-C dont la fréquence centrale se situe aux alentours de 70MHz alors que le facteur de qualité ne dépasse pas 80, ce circuit est composé de différents intégrateurs qui ont été bien optimisé afin de minimiser les effets d'avance et retard de phase tout en ayant un choix approprié des dimensions des transistors et par l'utilisation de signaux d'entrées différentielles, la sensibilité du circuit due à la variation du procédé de fabrication représente un problème majeur ce qui nous a poussé à utiliser des circuits additionnels qui contrôlent les paramètres du filtre.

PROBLÉMATIQUE:

Les transconductances CMOS sont devenues très populaires dans la conception des systèmes VLSI analogiques (filtres analogiques). La réalisation des filtres haute vitesse (>100MHz) a toujours été limitée par les problèmes de retard et d'avance de phase.. Ces problèmes, qui sont causés par l'effet du premier pôle ainsi que l'effet du deuxième pôle respectivement, réduisent la performance en terme de fréquence de l'élément de transconductance, et par conséquent, réduisent la bande passante du circuit utilisant cet élément; d'autre part, la linéarité est aussi une des caractéristiques des filtres qu'il faut optimiser sur la plage de fréquence concernée.

MÉTHODOLOGIE:

En premier lieu, et en se basant sur un élément de transconductance, plusieurs versions de cet élément seront simulées pour améliorer sa réponse en fréquence avec une linéarité acceptable; d'autre part, un (AGPLL) a été introduit afin de pouvoir contrôler la fréquence centrale du filtre qui varie avec le procédé de fabrication, et en dernier lieu, le calcul de la sensibilité nous permettra d'examiner les performances.

RÉSULTATS:

Un élément de transconductance fonctionnant à haute fréquence en technologie CMOS a été conçu, le problème d'avance et retard de phase a été minimisé tout en utilisant quelques techniques de compensation qui nous ont permis d'obtenir un circuit avec un seul pôle, l'effet du deuxième pôle a notamment été minimisé; d'autres intégrateurs ont été réalisés afin d'obtenir le filtre désiré. D'autre part, afin de contrôler la fréquence centrale du filtre, nous avons eu recours à un circuit de calibrage qui est composé d'un PLL dont le temps de verrouillage est très faible. La réalisation de cette puce a été accomplie et le test est en cours.

TITRE:

Techniques de conception de circuits CMOS à basse tension d'alimentation dédiés aux convertisseurs analogiques numériques.

RÉSUMÉ:

Ce projet consiste à proposer des techniques de conception de circuits CMOS dédiés aux convertisseurs analogiques numériques. L'emphase a été mise sur les méthodes de réduction de l'alimentation afin de permettre un fonctionnement adéquat pour des tensions avoisinant le seuil des transistors.

PROBLÉMATIQUE:

Les convertisseurs analogique numérique (A/N) ou numérique analogique (N/A) assurent le lien entre les milieux analogique et numérique. Les applications utilisant ces convertisseurs sont diverses et variées. En télécommunication par exemple, les nouvelles applications exigent de très grandes résolutions à de très haute vitesse mais avec comme contraintes principales une très faible dissipation de puissance. En instrumentation, la résolution reste toujours un facteur clé, la plupart des applications se limitent à une résolution de l'ordre de 12 bits et plus. Le fait que certaines applications en instrumentation utilisent de plus en plus les batteries comme alimentation poussent les concepteurs vers des à très basse alimentation (2.7 - 3.3 V),. La demande grandissante des applications portatives exige quant à elle une alimentation de l'ordre de 1.8 V ou moins avec une consommation de courant. De plus, la réduction rapide de l'échelle des nouveaux procédés de fabrication en technologie CMOS requiert une réduction de l'alimentation afin de garantir la fiabilité à long terme des circuits.

Il en découle donc que les circuits électroniques contemporains destinés aux convertisseurs A/N ou N/A doivent opérer à très basse alimentation afin de répondre aux applications portatives.

Le but du présent projet est d'investiguer la faisabilité des circuits électroniques viables fonctionnant à très bas voltage et dédiés aux convertisseurs A/N.

MÉTHODOLOGIE:

Les différentes étapes du projet seront donc:

- Une revue de littérature pertinente au niveau des techniques de conception de circuits à bas voltage destinés aux convertisseurs A/N;
- Une étude de la fiabilité des circuits avec la réduction de l'échelle;
- Le développement des techniques de conception circuits CMOS à bas voltage;
- La conception d'un convertisseur A/N à approximation successive de 10 bits fonctionnant avec une alimentation de 1V
- Des tests expérimentaux afin de valider les performances prédites.

RÉSULTATS:

Les résultats obtenus à ce jour ont fait l'objet de quatre articles de conférence avec comité de lecture.

TITRE:

Modifications d'un chemin de données pour l'utilisation dans un modèle reconfigurable.

RÉSUMÉ:

Le projet consiste à modifier et optimiser le modèle VHDL d'un processeur de traitement de signaux de type SIMD (single instruction multiple data) initialement développé pour une puce dédiée ASIC afin de l'utiliser dans un FPGA. Le modèle VHDL doit être épuré et optimisé pour tenir compte de l'architecture du FPGA visé. De plus, étant de type SIMD, le processeur comporte plusieurs chemins de données fonctionnant en parallèle. Ceux-ci sont rendus modulaires en offrant la possibilité de modifier par de simples paramètres la largeur des mots traités, la profondeur des mémoires et des registres, ainsi que d'exclure certaines composantes qui ne sont pas requises par une application visée.

PROBLÉMATIQUE:

Le coût et le temps de fabrication des ASICs étant importants, certaines compagnies à faible volume de production considèrent plutôt l'utilisation de FPGAs à haute performance pour leurs circuits numériques. L'emploi de modèles VHDL génériques permet d'obtenir des circuits moins imposants en n'utilisant que les ressources nécessaires à une application donnée. Un gain de performance peut également être observé du fait que le nombre de modules de calcul peut être augmenté, ceux-ci étant plus compacts. De plus, en ayant recours à des FPGAs de type SRAM, l'utilisateur pourrait même optimiser le chemin de données pour chaque application à traiter en le reconfigurant dynamiquement.

MÉTHODOLOGIE:

Le modèle VHDL du chemin de données doit être composé en un ensemble de modules hiérarchiques. Ceux-ci sont ensuite entièrement optimisés et paramétrisés. Une fois le modèle global validé, une sélection des ressources pouvant être éliminées doit être effectuée pour déterminer les modules du chemin de données qui ne seront pas exploitées. L'élagage de ces composantes est ensuite réalisé en tenant compte de tous les signaux y affluant ainsi que des latences engendrées par la présence du module. Finalement, l'inclusion ou non de ces modules ainsi que le nombre de chemins de données dans le processeur final seront contrôlés à l'aide de paramètres lors de la synthèse.

RÉSULTATS:

Le chemin des données est entièrement optimisé, paramétrisé et validé. De plus, les modifications visant à rendre le chemin de donnée modulaire, en contrôlant la présence ou non de certains modules sont complétés. Finalement, tous les composants du chemin de données ont été validés individuellement mais aussi dans leur ensemble afin de bien s'assurer du bon fonctionnement de leur interaction. Ce projet est donc maintenant terminé et fonctionnel en vue d'une implantation future.

TITRE:

Étude et réalisation d'un récepteur à 2.5Gb/S en technologie CMOS dédié pour les liaisons série.

RÉSUMÉ:

Le projet vise la conception et la réalisation d'une interface de transmission de données à haute vitesse en technologie CMOS. Le but de ce travail est le recouvrement des données sérielles à haut débit et de l'horloge de transmission.

PROBLÉMATIQUE:

La transmission de données entre divers circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission de ces derniers. Pour cela, il faut avoir un système fiable et stable pour transmettre correctement les données en minimisant le bruit introduit.

Le coût et la puissance dissipée par les mécanismes retenus sont aussi d'une grande importance.

Dans ce projet, nous allons concevoir des circuits CMOS très rapides ayant une consommation d'énergie relativement faible, dédiés à des systèmes de communication. Ainsi, nous visons à transmettre des données à 2.5 Gb/s à travers une ligne de transmission.

Le but de la thèse est de concevoir un récepteur à 2.5 Gb/s. L'application d'un algorithme de recouvrement de données élastique nous permet de réduire les erreurs de réception.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante:

- Proposer une architecture globale,
- Concevoir une boucle à verrouillage de phase (PLL) avec faible gigue de phase;
- Concevoir des circuits CMOS très rapides et ayant une faible consommation d'énergie;
- Modéliser et réduire la gigue introduite dû aux différences de fréquences entre le transmetteur et le récepteur.

RÉSULTATS:

Soumission d'un chip à la fabrication pour un prototype de transmetteur/récepteur et des plots d'entrées/sorties LVDS en technologie CMOS 0.35 μ . Ce chip a été testé avec le testeur IMS. Sur la base de ces résultats du test, un autre chip est en voie de conception.

Une PLL basée sur la technique de gain adapté a été proposée. Cette PLL offre une acquisition de fréquence et de phase rapide tout en ayant une faible gigue de phase.

TITRE:

Restructuration par faisceau laser des circuits intégrés VLSI.

RÉSUMÉ:

La complexité et par conséquent les dimensions sans cesse croissantes des nouveaux microcircuits conduisent inévitablement à une diminution du rendement à la fabrication. Les développements récents en microchirurgie des circuits par faisceau laser pourraient permettre dans certains cas la restructuration de circuits intégrés défectueux de façon rentable.

PROBLÉMATIQUE:

L'amélioration des procédés de fabrication entraîne une augmentation du rendement de fabrication des circuits intégrés. Les avantages économiques découlant de l'application des techniques de restructuration peuvent donc être très limités et doivent être évalués pour les différents circuits intégrés.

Les structures existantes dans les circuits intégrés comme les transistors et les lignes métalliques, pourraient être utilisées pour créer des liens par laser dans un circuit défectueux sans avoir à prévoir de structures supplémentaires.

MÉTHODOLOGIE:

Appliquer le modèle probabiliste développé antérieurement pour évaluer la faisabilité économique de la restructuration laser sur différents types de circuits.

Identifier les conditions expérimentales reproductibles qui permettront la création de liens électriques entre les électrodes de transistors MOSFET.

Tester la durabilité des liens.

RÉSULTATS:

L'application du modèle probabiliste a montré que l'utilisation de la restructuration par laser n'est rentable que sur les circuits très gros (10 cm² et plus).

Des liens ont été créés entre les électrodes des MOSFET, mais il n'a pas été possible de trouver des conditions reproductibles.

Par contre, des tests de création de liens électriques sur des structures de liens diffusés ont mené à des résultats très positifs.

TITRE:

Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.

RÉSUMÉ:

Un système de Mesures de Soutien Électronique (MSE) est un senseur passif qui a pour but de caractériser (localiser et identifier) les émetteurs dans son environnement électromagnétique d'après les signaux radars qu'il intercepte. Son traitement consiste essentiellement à regrouper les impulsions captées qui sont similaires, pour ensuite identifier les sources associées aux groupes (i.e. les modèles d'émetteurs). La réponse de ces systèmes est critique pour la prévention de menaces. Toutefois, l'identification d'émetteurs en temps réel devient de plus en plus ardue dû à la complexité et à la densité des environnements modernes. Ce projet vise l'étude du potentiel des réseaux de neurones artificiels (RNA) pour les MSE radar en temps réel. Plus spécifiquement, ce projet explore l'application de techniques de RNA pour effectuer le regroupement de séquences d'impulsions et l'identité de sources émettrices.

PROBLÉMATIQUE:

Ce projet comporte deux volets: (1) l'application de RNA auto-organiseurs pour effectuer le regroupement d'impulsions radars, et (2) l'application de RNA classificateurs pour l'identification de sources émettrices. En ce qui concerne le premier volet, une comparaison antérieure (voir la partie résultats) a révélé que le Fuzzy ART est très prometteur pour le regroupement d'impulsions à haute vitesse. Malgré l'efficacité de ses traitements, Fuzzy ART donne des résultats qui sont moins précis que d'autres RNA. De plus, la qualité des résultats varie selon l'ordre de présentation des séquences d'entrées. En ce qui concerne le deuxième volet, un RNA classificateur est proposé pour l'identification directe des impulsions, sans passer par l'étape de regroupement. En plus du besoin pour un traitement très rapide, le classificateur doit se fier sur des connaissances a priori (i.e. une bibliothèque de MSE) incomplète.

MÉTHODOLOGIE:

Pour le premier volet, il s'agit de déterminer une mesure qui permet de détecter les entrées qui mènent à des décisions incertaines. Ensuite, pour réduire les effets associés aux décisions incertaines, on modifie la façon par laquelle Fuzzy ART apprend ou décide pour des cas incertains. Pour le deuxième volet, un RNA classificateur est combiné avec un RNA auto organisateur. Le classificateur apprend a priori une bibliothèque de MSE, tandis que l'auto organisateur apprend l'état des émetteurs actifs dans un environnement. L'idée est de permettre aux RNA de coopérer afin de prédire l'identité la plus probable d'un émetteur actif.

RÉSULTATS:

Une comparaison de quatre RNA auto-organiseurs qui ont du potentiel pour des applications de catégorisation à débit élevé a été effectuée. Les résultats ont permis de conclure que le RNA Fuzzy ART et Self-Organizing Feature Mapping sont d'excellents candidats pour des applications en MSE radar. Le premier est très efficace en terme de calculs, tandis que le deuxième donne des résultats très précis. Ainsi, le choix d'un de ces deux RNA découle d'un compromis entre la qualité des résultats et l'efficacité des calculs.

La mise en œuvre VLSI numérique du RNA Fuzzy ART a été étudiée. Les performances du RNA ont été quantifiées par simulation avec un ensemble de données constituées d'impulsions radars réelles. Afin d'obtenir des solutions efficaces pour la mise en œuvre du RNA avec un circuit dédié VLSI, son algorithme a été reformulé. Ensuite, une architecture de système Fuzzy ART qui réalise cet algorithme pour des applications à débit élevé a été proposée. Un modèle d'estimation surface-temps permet de choisir les configurations d'architecture et d'évaluer la vitesse de traitement, ainsi que la surface qui leur est associée, étant donné l'ensemble des contraintes de l'application.

TITRE:

Études théoriques des dispositifs à puits quantiques par la méthode Monte Carlo.

RÉSUMÉ:

De nos jours, grâce à leur performance supérieure et aux pertes peu élevées qu'elles occasionnent, les diodes lasers à puits quantiques sont de plus en plus employés dans le domaine des télécommunications. La caractérisation de ces dispositifs nécessite cependant une meilleure compréhension des phénomènes physiques qu'ils mettent en jeu.

PROBLÉMATIQUE:

Dans les structures à puits quantiques, la région active est de l'ordre du nanomètre. Les porteurs de charge confinés à ces distances manifestent ainsi des propriétés quantiques. Afin de caractériser les performances de ces composants, nous devons approfondir nos connaissances des phénomènes tels que la capture électronique, la modification de la structure de bande et le transport de charge. Une étude basée sur la mécanique quantique s'avère donc nécessaire.

MÉTHODOLOGIE:

Pour étudier les dispositifs à semi-conducteur, une méthode semi-classique très puissante, le simulateur Monte Carlo, a été mise au point. Cependant, pour faire une étude théorique plus poussée des nanostructures, il faudra inclure l'aspect quantique des phénomènes physiques dans le simulateur et comparer les résultats à ceux obtenus soit expérimentalement, soit à l'aide d'un simulateur classique. La structure de bande dans les régions des puits sera calculée par la méthode k.p et sera intégrée dans le simulateur Monte Carlo.

RÉSULTATS:

Plusieurs simulations ont été effectuées pour comparer le simulateur Monte Carlo à un simulateur classique des équations de diffusion et d'entraînement. Aussi, des résultats de photoluminescence des échantillons de diodes lasers ont été reproduits par le simulateur Monte Carlo.

TITRE:

Conception et simulation d'une boucle à verrouillage de phase à très large bande en CMOS.

RÉSUMÉ:

Mon projet consiste à réaliser une boucle à verrouillage de phase (PLL) pouvant atteindre des fréquences de verrouillage de 2Ghz. L'architecture de cette boucle est axée sur des techniques qui permettent à la boucle d'opérer à de très hautes fréquences tout en minimisant les bruits qui pourront être injectés des sources d'alimentation. Pour cela, une architecture différentielle basée sur des miroirs de courant à large gamme dynamique (wide swing) a été utilisée pour concevoir l'oscillateur contrôlé par tension (VCO) du PLL.

PROBLÉMATIQUE:

Avec l'augmentation des fréquences d'horloge utilisées dans les systèmes synchrones et l'intégration de plus en plus poussée des systèmes radio-fréquence, le besoin des PLLs (Phase-Locked-Loop) intégrés à large bande se fait de plus en plus sentir. Ce besoin d'intégration et d'augmentation de la vitesse, nous a motivé à concevoir un PLL avec la technologie CMOS 0.25 micron pouvant verrouiller sur des fréquences de 1.5 Ghz et plus.

MÉTHODOLOGIE:

Les circuits qui fonctionnent à un débit élevé de 1 Ghz et plus sont souvent réalisés avec des circuits nécessitant des processus de fabrication coûteux comme les GaAs et les bipolaires. Le défi de ce projet est de proposer un système en l'occurrence le PLL fonctionnant à des hauts débits mais utilisant une technologie CMOS dont le processus de fabrication est beaucoup moins cher que celui des bipolaires ou des GaAs, pouvant atteindre des densités élevées et une consommation minimale.

On procédera de la manière suivante:

- Faire le design schématique du PLL
- Faire des simulations avec Spectre de Cadence jusqu'à l'obtention des résultats voulus.

RÉSULTATS:

Le design a été conçu et simulé et les résultats attendus ont été obtenus.

TITRE:

Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit électronique intégré CMOS implantable destiné à corriger les dysfonctions urinaires.

PROBLÉMATIQUE:

Le travail consiste à concevoir et à réaliser un circuit intégré CMOS pour capter des signaux électriques différentiels de très faible amplitude et à basse fréquence. Le signal sera ensuite traité pour en extraire de l'information selon l'application visée. Pour des applications biomédicales, tel que l'implant électronique destiné à la restauration des fonctions urinaires, le circuit informerait le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour le contrôle de la stimulation. Cette partie réaliserait les fonctions suivantes : la détection du volume vésical; la communication de l'information détectée au contrôleur principal de l'implant; et l'estimation du temps nécessaire pour le remplissage de la vessie.

Les performances visées pour ce système découlent de la qualité du signal acquis (amplitude, interférence, etc.). De plus, étant approvisionné par de l'énergie transmise de l'extérieur et une petite pile implantée, ce système ne devrait pas consommer beaucoup d'énergie. En résumé, le circuit d'acquisition devrait jouir d'un niveau de bruit faible pour minimiser la taille du dispositif implanté.

MÉTHODOLOGIE:

Les quelques approches de détection du volume vésical localisées lors de notre revue de littérature, nous ont guidé pour examiner les voies neuronales servant à transmettre au cerveau les informations sur l'état du système urinaire. Nous avons procédé à l'examen des techniques de surveillance des activités neuronales et nous avons opté au prélèvement de l'électroneurogramme (ENG) reliés à la vessie. L'incertitude dans cette approche est que l'on ignore l'allure des signaux qui innervent la vessie et la difficulté reliée à leur mesure car ils sont, en général, de très faible amplitude, de basse fréquence et sont contaminés par de l'interférence (l'électromyogramme « EMG, 60Hz, etc.) Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes : Concevoir et réaliser un système d'acquisition de signal par ordinateur pour déterminer le comportement du signal nerveux en fonction du volume de la vessie, concevoir et réaliser un circuit intégré CMOS qui est en mesure d'accomplir les fonctions du système d'acquisition ainsi que les fonctions de traitement du signal pour pouvoir générer l'information sur l'état du volume de la vessie. Ce circuit doit disposer des performances décrites dans les objectifs. Lors de la première étape, et avec le système proposé nous avons déterminé le comportement et l'allure de l'ENG en fonction du volume vésical et des artefacts, le système proposé est basé sur :

- Une gaine (cuff) contenant trois électrodes utilisée comme interface entre le nerf et le système électrique;
- Un amplificateur à gain programmable basé sur des amplificateurs d'instrumentation commercialisés à très faible bruit;
- Une carte d'acquisition de données commandée par ordinateur;
- Un logiciel de traitement du signal off-line

À partir des résultats obtenus, nous avons abordé la deuxième étape et conçu le schéma bloc du circuit intégré implantable à réaliser. Le circuit serait composé :

- D'un amplificateur d'instrumentation (amplificateur différentiel) à faible bruit.
- Un circuit de traitement du signal analogique composé d'un redresseur, deux intégrateurs en série avec une remise à zéro; cette partie réalise la fonction RBI (Redressement et Bin-Intégration)
- Un convertisseur analogique-numérique;
- Un circuit de traitement de signal numérique qui, entre autre, réalise l'algorithme pour l'extraction du volume vésical et l'élimination des artefacts.

Il est sous-entendu que les objectifs visés pourraient entraîner des modifications sur la composition du système. Le circuit sera ensuite implémenté et fabriqué en technologie CMOS. Des tests au laboratoire et in vivo suivent pour déterminer ses performances.

RÉSULTATS:

La première composante du circuit intégré a été conçue, réalisée et testée avec de bons résultats. Nous avons conçu le circuit de traitement. Nous sommes à la phase du layout qui sera soumis à la fabrication.

TITRE:

Contrôleur externe dédié à un implant visuel

RÉSUMÉ:

Le projet consiste à intégrer sur une même puce toutes les parties du contrôleur externe qui ont été développées dans les prototypes précédents. Les différentes parties comprennent entre autre un capteur d'image de type CMOS, un convertisseur analogique à numérique (CAN) de type semi-flash, une unité de traitement numérique servant à améliorer les caractéristiques visuelles des images et une unité de formation de mots de commandes définissant les paramètres de stimulation.

PROBLÉMATIQUE:

Pour permettre aux non-voyants de récupérer une vision fonctionnelle, nous utilisons un implant de type cortical, c'est-à-dire que la stimulation s'effectue directement dans le cerveau. Le stimulateur visuel est constitué de deux parties: la partie implantable (ou implant) et le contrôleur externe. Le but du présent projet est de procéder à l'intégration sur une seule puce des fonctionnalités qui ont été préalablement testées avec les prototypes précédemment réalisés. Une fois l'intégration terminée, le système devra être capable de transformer une scène réelle en information de stimulation.

MÉTHODOLOGIE:

L'image est acquise grâce à un capteur fabriqué avec un procédé CMOS standard. Chaque pixel est numérisé avec un CAN semi-flash et mémorisé dans une cellule de mémoire ayant les mêmes dimensions que l'image. Une unité de traitement numérique se charge alors de procéder à une égalisation d'histogrammes résultant en une luminosité plus équilibrée et de meilleurs contrastes. L'image est ensuite transférée parallèlement dans une autre cellule de mémoire où elle est balayée de façon non séquentielle correspondant au balayage effectué par l'implant. Le balayage non séquentiel est nécessaire puisqu'il est impossible de stimuler deux sites rapprochés à l'intérieur d'un certain intervalle de temps (temps de repolarisation). L'image est finalement encodée en mots de commande.

RÉSULTATS:

L'unité d'égalisation des images a été testée avec succès. Un prototype en temps réel est présentement fonctionnel. Ce prototype utilise une caméra USB et un ordinateur PC/AT compatible. De nouveaux algorithmes de traitement d'images sont présentement en test. Une solution générale et adaptative est présentement en phase de conception.

TITRE:

Une méthode de dérivation de modèles de processeurs embarqués dédiés à une application et un modèle de processeur de traitement de signal conçu pour l'implanter.

RÉSUMÉ:

Le projet consiste à modifier et adapter une architecture de processeur de traitement de signaux de type SIMD, de façon à pouvoir synthétiser le circuit minimal permettant d'exécuter une application logicielle spécifique sur celui-ci. Pour ce faire, on doit avoir une version entièrement configurable et optimisable du modèle VHDL synthétisable. De plus, on doit avoir un jeu d'outils logiciels permettant d'optimiser le modèle en fonction de l'application visée. Ceux-ci permettent d'optimiser la synthèse du circuit final en tenant compte de l'application visée, et des ressources du circuit dont celle-ci a besoin pour s'exécuter correctement.

PROBLÉMATIQUE:

Avec l'avènement de circuits intégrés complexes permettant la réalisation de systèmes complets sur un seul circuit, l'utilisation de modèles de processeurs (cores) dans la conception de systèmes embarqués est devenue un choix pratique et économique au point de vue du temps de développement. En effet, le concepteur n'a qu'à choisir un modèle de processeur et écrire l'application qui va être exécutée sur celui-ci. Toutefois, ceci produit un gaspillage des ressources au niveau du circuit qui va être produit. En effet, comme celui-ci n'a pas été conçu en fonction de l'application spécifique visée, de nombreuses composantes du circuit risquent de ne pas être utilisées lors de l'exécution du programme. En générant un circuit optimisé pour une application spécifique, on élimine le gaspillage de ressources, que l'on pourra réallouer à d'autres fins dans le système embarqué.

MÉTHODOLOGIE:

Une nouvelle architecture adaptée sur les bases de PULSE doit donc être développée de façon à permettre une optimisation automatique du circuit en fonction de l'application. Le contrôleur et le chemin de données doivent être codés de façon à pouvoir être modifiés globalement de façon automatique.

Un outil logiciel permettra ensuite l'analyse du microcode d'une application. Ensuite, on procédera à une optimisation automatique du circuit et du microcode en fonction de cette analyse. Le circuit final sera ensuite synthétisé par un outil de synthèse commercial.

RÉSULTATS:

Un modèle complètement configurable, optimisable et synthétisable d'une nouvelle architecture de processeur de traitement de signal de type SIMD a été développée.

L'outil d'optimisation permettant de générer le modèle minimal de processeur nécessaire à l'exécution d'une application spécifique a été conçu.

Des études de cas ont été réalisées à l'aide de l'outil et du modèle de processeur. Celles-ci ont démontré la validité de la méthode de dérivation; elle a permis de générer des processeurs beaucoup plus simples pour des applications dédiées.

TITRE:

Picasso: Un outil de co-design logiciel/matériel pour la synthèse de systèmes embarqués.

RÉSUMÉ:

Le but du présent projet est de développer un outil intégrant une interface graphique (CAO) permettant la capture de spécifications système de haut niveau, en langage C (pour le logiciel) et en langage VHDL (pour le matériel). Des protocoles de communication de haut niveau sont offerts à l'utilisateur pour intégrer au sein même des spécifications, des façons d'échanger des données. Cela permet à des blocs matériels et logiciels de communiquer facilement entre eux, sans distinction. Finalement, un module permet de convertir ces spécifications en un système pouvant être synthétisé par un outil tel que Synopsys.

PROBLÉMATIQUE:

L'utilisation de logiciel et de matériel dans le design de systèmes embarqués est une pratique de plus en plus courante. En effet, cela permet un meilleur rapport coût/performance. Pour faire ce type de design, le système doit être décrit à un niveau d'abstraction très élevé (*system level description*). De plus, pour permettre de réduire le temps de design, il faut permettre une implantation rapide des communications entre les modules. On veut aussi pouvoir séparer les communications de la description comportementale des modules pour permettre la réutilisation des différentes parties du système. De ces contraintes est apparu un nouveau concept: la synthèse des communications.

Dans le cadre du projet CIRCUS (Complex Interface Refinement for Codesign Unified System), je travaille à la mise au point de cet outil permettant de faire la capture et le design au plus haut niveau d'abstraction de systèmes embarqués hétérogènes. L'objectif de ce présent projet est de développer au maximum les possibilités de l'outil. On veut pouvoir intégrer au logiciel de capture une option permettant de faire le raffinement d'interfaces dans le but de faire une simulation au niveau RTL du système complet avec le logiciel Seamless de Mentor Graphics.

MÉTHODOLOGIE:

Tout d'abord, une revue de littérature sur les différents outils logiciels de co-design a été effectuée. Ensuite, nous avons fait une sélection des concepts que nous allons retenir de chaque outil, ainsi que de ses possibilités. Puis, nous avons développé l'outil en y intégrant les concepts de capture de haut niveau. Ensuite, la construction d'architecture de communication de base fut nécessaire. Celles-ci ont été généralisées pour permettre la communication de haut niveau prévu dans l'outil. Enfin, des mécanismes permettant de transformer les spécifications de haut niveau vers une architecture donnée seront implantés.

RÉSULTATS:

Une première version de l'outil a été complétée. La communication de haut niveau est totalement définie. Une seule architecture de communication de bas niveau a été développée et intégrée à l'outil. On cherche maintenant à définir d'autres mécanismes de communication pour d'autres microprocesseurs.

TITRE:

Réduction de bruit $1/f$ par le biais d'un préamplificateur CMOS.

RÉSUMÉ:

Mon projet de recherche consiste en la conception et la réalisation d'un préamplificateur CMOS qui permet de réduire les effets du bruit $1/f$ et du décalage d'un amplificateur opérationnel. À de faibles fréquences, le bruit $1/f$ et le décalage sont les deux principales sources d'erreurs des amplificateurs opérationnels qui utilisent une entrée différentielle MOS.

PROBLÉMATIQUE:

Avec l'avènement de nouveaux procédés de fabrication en technologie CMOS, certaines caractéristiques aussi essentielles que le rapport signal sur bruit, le PSRR et le CMRR se trouvent améliorées; deux effets secondaires de la réduction d'échelle continuent toutefois de miner les performances des circuits en électronique analogique: le bruit $1/f$ et l'offset d'entrée des amplificateurs.

À de faibles fréquences, le bruit $1/f$ et l'offset sont les deux principales sources de bruit pour des amplificateurs opérationnels qui utilisent une entrée différentielle MOS. Étant donné que le bruit diminue la bande passante du signal d'entrée, la réduction de ce dernier contribue de manière significative à l'amélioration des performances des amplificateurs opérationnels.

MÉTHODOLOGIE:

Il existe deux méthodes généralement utilisées lors de la réduction du bruit $1/f$ et de l'offset ayant chacune des avantages et des inconvénients. Dans ce projet, nous avons porté notre choix sur la méthode « Chopper stabilisation » parce que nous voulons amplifier des signaux continus. Toutefois, ceci n'exclura pas des recherches avec la deuxième méthode dite « correlated double sampling technique » pour des besoins de comparaison.

RÉSULTATS:

Pour l'instant, nous avons réalisé le circuit amplificateur de CHS en CMOS35 et les résultats de simulation ont montré sa bonne fonctionnalité. Le circuit proposé a été implémenté et fabriqué par la Société Canadienne de Microélectronique.

TITRE:

Technique de linéarisation numérique des amplificateurs de puissance.

RÉSUMÉ:

Ce projet traite d'une technique de linéarisation des amplificateurs de puissance micro-ondes par la méthode de prédistorsion numérique adaptative et de développement des algorithmes exécutés par un circuit de traitement de signal numérique «DSP».

PROBLÉMATIQUE:

Pour une meilleure efficacité énergétique ou afin d'obtenir le maximum de puissance à la sortie, les amplificateurs de puissance sont généralement conditionnés à travailler dans la région non linéaire. Selon la méthode de modulation utilisée, les inconvénients de ces conditions ont pour effet de générer des distorsions (AM-AM; AM-PM) qui dégradent la performance du système. Par conséquent, minimiser ces distorsions nous amène à l'utilisation des techniques de linéarisation analogique et numérique.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Calcul des intervalles de variation des paramètres selon les spécifications d'un amplificateur de puissance; ceux-ci permettront de connaître les paramètres du signal d'excitation, l'échantillonnage et la quantification de la puissance.
- Simulation du système composé des parties analogiques (radio fréquence) et numérique «DSP», en utilisant un logiciel de traitement numérique de signaux «SPW» (Signal Processing Work System). Cette simulation permettra de connaître des résultats en fonction de différents algorithmes.
- Analyse des résultats à travers des valeurs des paramètres et graphiques obtenus, ce qui nous permettra d'évaluer les avantages et les inconvénients par rapport aux différentes techniques de linéarisation.
- Validation de l'ensemble du système sur une machine Pentium ayant une carte de développement DSP C40 et les modules de conversion N/A et A/N nécessaires.

RÉSULTATS:

Des résultats des simulations sur SPW et une validation préliminaire sur un processeur TMS320C40 ont été obtenus et on peut noter que la technique offre une bonne réduction de bruits d'intermodulation (AM-AM, AM-PM).

TITRE:

Algorithmes et architectures de calcul spécialisés pour un système optique autosynchronisé à précision accrue.

RÉSUMÉ:

L'imagerie 3D constitue un domaine d'application fréquemment rencontrée dans les applications médicales, militaires ou spatiales. Une très grande importance est accordée à la précision de l'enveloppe 3D lors de sa reconstitution. Plusieurs facteurs peuvent altérer la précision de cette enveloppe 3D. Cette thèse vise à proposer des méthodes de correction de l'erreur engendrée par une variation de réflectance et des architectures VLSI capables d'accélérer cette correction pour des systèmes optiques de haute performance.

PROBLÉMATIQUE:

La variation de réflectance constitue un des facteurs importants qui affectent la précision des caméras optiques 3D. Lorsque la réflectance d'un objet est uniforme, le signal laser réfléchi est de distribution gaussienne et la mesure courante est correcte. Cependant, lorsque cette réflectance est variable (saut, gradient, etc.) le signal laser réfléchi est déformé, ce qui conduit à une mesure erronée. Le but de ce travail est de développer des méthodes de correction de l'erreur engendrée par une variation de réflectance pour des systèmes optiques de haute performance.

MÉTHODOLOGIE:

Une étape importante est d'abord de modéliser la relation entre le signal laser émis et le signal laser intégré par le détecteur optique en présence d'un signal de réflectance. La seconde étape consiste à analyser, à partir de la relation développée, le déplacement du centre de masse d'un signal erroné par rapport à la position du centre de masse du signal idéal.

RÉSULTATS:

Une relation de premier ordre entre le signal émis et le signal laser intégré par le détecteur a été développée. Cette relation a été utilisée pour développer deux méthodes de correction.

Les résultats obtenus ont permis une correction présentant une précision supérieure ou égale à la résolution du système

TITRE:

Méthodes de conception pour la testabilité des circuits CML bipolaires.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. À partir de propositions découlant de travaux antérieurs, quelques méthodes spécifiques à la technologie CML seront étudiées.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes repose sur le fait qu'un défaut de fabrication sera traduit, souvent, par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: une porte avec un défaut voit son signal de sortie altéré, mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit, soit viser une détection plus fine, soit annuler l'effet du masquage.

MÉTHODOLOGIE:

Les méthodes envisagées reposent principalement sur deux mesures des signaux de sortie: l'amplitude du signal et la marge de bruit. Ces méthodes n'ont pas été caractérisées dans un contexte global et la procédure d'application pour le test n'a pas encore été élaborée. Les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation des méthodes proposées;
- Analyse de leur effet sur la couverture de fautes;
- Étude d'une proposition d'amélioration de certaines de ces méthodes;
- Proposition d'implantation au niveau masque;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

La première phase du projet consiste en l'étude du BAS (Bias Alteration Stressing). La deuxième phase consiste en l'étude du ITT (Imbalance Testing Technique). Les problèmes posés par l'ITT ainsi que leurs solutions sont étudiées en détail. L'implémentation des techniques et de méthode de test ont été analysées pour déterminer leur efficacité.

TITRE:

Caractérisation de la fiabilité et du coefficient en température des liens diffusés par faisceau laser.

RÉSUMÉ:

Beaucoup de circuits analogiques et mixtes utilisent des résistances de précision calibrées par laser pour ajuster précisément le comportement du circuit. Il a été démontré que les résistances diffusées peuvent être utilisées comme résistance à très haute précision.

PROBLÉMATIQUE:

Avant la mise en marché d'un nouveau produit, on doit d'abord le caractériser. Au nombre des tests à effectuer figurent la caractérisation du coefficient en température, soit la variation de la résistance du dispositif avec la température, et la caractérisation de la fiabilité, soit la durée de vie du dispositif.

MÉTHODOLOGIE:

La caractérisation en température est effectuée en mesurant la résistance des liens diffusés à différentes températures allant de 20 à 125 degrés celsius.

La fiabilité est caractérisée par un test de dégradation accéléré thermiquement. La théorie d'Arrhénius est appliquée pour extrapoler la durée de vie des liens diffusés à la température d'opération.

RÉSULTATS:

La caractérisation en température a donné des résultats intéressants. Les résistances diffusées de valeur inférieure à 1.5 kohms présentent un coefficient en température positif et celles de valeur supérieure à 3 kohms présentent un coefficient en température négatif. Entre ces deux valeurs, la courbe de résistance en fonction de la température montre un minimum. En contrôlant la largeur et la position de ce minimum, on pourrait fabriquer des résistances qui présentent un coefficient en température près de zéro autour de la température d'opération.

Les tests de durabilité ont démontré un vieillissement prématuré des résistances diffusées. Ce vieillissement prématuré semble être dû à l'activation par rapport thermique des dopants redistribués lors de la fabrication de la résistance. Des essais de recuit tendent à appuyer cette hypothèse. Une fois recuit, les résistances présentent une bonne stabilité.

TITRE:

Accélération de l'algorithme de IMOP (Intentional Modulation on Pulse) sur une plate forme logicielle matérielle DSP-FPGA.

RÉSUMÉ:

L'algorithme IMOP (intentional modulation on pulse) est un algorithme qui, par le traitement du signal radar numérisé, permet la caractérisation de ces derniers. La caractérisation de signaux radars, traitement qui consiste à extraire certains paramètres utiles de divers signaux radars, est un élément important dans tout système militaire de détection et de surveillance. Les paramètres extraits sont ainsi utilisés à l'intérieur du système afin d'identifier ou de positionner la source des signaux radars. L'objectif du projet est de réaliser une implantation de l'algorithme IMOP afin que celui-ci puisse exécuter la caractérisation en temps réel.

PROBLÉMATIQUE:

L'algorithme IMOP est constitué d'une suite de sous algorithmes et la complexité de l'ensemble est grande. Dû à cette complexité et à la nature séquentielle des processeurs commerciaux, le traitement de l'algorithme, en mode logiciel, est inefficace. De plus, une implantation matérielle complète de l'algorithme est, en raison de la grosseur de celui-ci, irréalisable. La solution restante est l'utilisation d'une plate forme logicielle-matérielle. La problématique est donc d'analyser les paramètres et le comportement de l'algorithme afin d'établir une architecture propre aux plates formes logicielle-matérielles.

MÉTHODOLOGIE:

La démarche consiste d'abord à mettre sur pied une analyse exhaustive de tous les sous algorithmes de IMOP et d'identifier les unités qui consomment beaucoup de temps de calcul. Par la suite, il faut évaluer les circuits potentiellement réalisables pour déterminer les facteurs de gain. Enfin, il faut analyser l'impact des communications engendrées par une répartition sur les modules logiciel-matériel. Une fois l'analyse terminée et les données compilées, on procède à l'implantation. Cette partie impose de nombreux défis techniques tels que la configuration de la plate-forme, les troubles de communication entre les différents modules et bien d'autres problèmes complexes.

RÉSULTATS:

Le profilage de IMOP a été réalisé et les portions problématiques de ce dernier ont été identifiés. Certaines portions de IMOP ont été modifiées afin de réduire la complexité. Des planifications architecturales des sous algorithmes critiques, tel que l'algorithme de Crozier, ont été mis sur pied afin d'évaluer le gain en vitesse de calcul. Enfin des études préliminaires ont été amorcées sur l'implantation de IMOP pour la plate-forme logicielle-matérielle ARM.

TITRE:

Étude des utilisations de composants résistifs calibrables par laser pour la réalisation de circuits électroniques précis.

RÉSUMÉ:

Le projet consiste à concevoir et à réaliser certains circuits analogiques tels que:

- Amplificateur opérationnel de grande précision;
- Référence de tension de grande stabilité;
- Convertisseur N/A et A/N;
- Filtre;
- Oscillateur.

PROBLÉMATIQUE:

Dans le monde des circuits intégrés, l'élément résistif a toujours pris une place importante. Or, malgré les progrès de la miniaturisation, la résistance reste encore aujourd'hui un élément relativement gros et sujet aux aléas des procédés de fabrication.

Une récente découverte dans le domaine de la microélectronique permet de réaliser une résistance de la taille d'un transistor et de la calibrer avec une précision jusqu'alors jamais atteinte (0.001%). De plus, cet élément possède, dans une certaine plage de résistance, une très faible dérive en température.

Étant donné ces étonnantes performances, le but de cette recherche est d'identifier, modifier et réaliser les circuits analogiques qui tireront le meilleur avantage possible de cette nouvelle composante afin de produire des circuits possédant des caractéristiques de précision encore inégalées.

Une démarche d'exploration et d'optimisation des circuits proposés sera effectuée par des algorithmes évolutifs tels que les algorithmes génétiques.

MÉTHODOLOGIE:

Le projet sera réalisé en couvrant les étapes suivantes:

- Recherche bibliographique sur les circuits exploitants des résistances ajustées par découpage laser;
- Étude et adaptation des circuits exploitables et prometteurs;
- Simulation et réalisation des circuits sélectionnés;
- Test sur les circuits soumis à la fabrication.

RÉSULTATS:

Une référence de tension ajustable et un amplificateur opérationnel sont en cours de réalisation.

TITRE :

Développement d'une bibliothèque TSPC de haute performance et conception de gros blocs logiques TSPC (Convolueur 3*3).

RÉSUMÉ :

Le projet comporte deux parties. Premièrement, des règles de dessin et un algorithme ont été développés afin de réaliser des bibliothèques de cellules TSPC (True Single Phase Clocking) de haute performance facilement portable d'une technologie à l'autre. Deuxièmement, un convolueur 3*3 est développé en TSPC avec les cellules logiques créées, afin de vérifier leur performance et d'automatiser les architectures TSPC à haute intégration.

PROBLÉMATIQUE :

Régulièrement de nouvelles technologies CMOS apparaissent et il faut réaliser de nouvelles bibliothèques logiques. Afin de faciliter le travail des concepteurs, nous avons défini un algorithme de conception de cellules TSPC qui pourrait être utilisé de façon automatique. Il s'agit de traiter les informations générées par des outils de stimulation à l'aide d'un programme écrit en langage C à partir d'une netlist extraite d'un outil de dessin des masques. Le but est de diminuer le temps de conception avec de bonnes optimisations.

Le deuxième axe de recherche consiste à développer des techniques et des architectures TSPC opérant à des fréquences supérieures au GHz. Pour ce faire, il faut trouver un compromis entre la latence et l'ultra pipelinage. Il faut également trouver des solutions efficaces face au skew.

MÉTHODOLOGIE :

De nombreuses simulations de cellules TSPC ont permis de trouver les étapes essentielles lors de leur développement. En travaillant par analogie, nous avons pu constater quelles étaient efficaces pour toutes les cellules TSPC de base à sortie partagée. Fort des connaissances acquises dans nos précédentes études, nous essayons de générer des cellules de plus en plus importantes tout en optimisant leur latence par rapport au pipelinage engendré par l'architecture TSPC. Pour réaliser des circuits plus importants, nous devons modéliser le biais de synchronisation admissible pour les cellules critiques et tester différentes topologies de distribution d'horloge.

RÉSULTATS :

Un algorithme de génération et d'optimisation de cellules TSPC a été mis au point et un article a été soumis à ISCAS'99. Une bibliothèque robuste et très performante a été générée en technologie 0.35um. Chaque cellule fonctionne à plus de 2 GHz.

Les travaux d'architecture de blocs logiques TSPC ont débuté avec des améliorations de l'architecture du convolueur 3*3 TSPC afin d'en réduire la latence.

TITRE:

MODÉLISATION ET CARACTÉRISATION DE DIODES LASERS.

RÉSUMÉ:

Les techniques de simulation des diodes lasers sont aujourd'hui très sophistiquées. Néanmoins, leur utilisation requiert une bonne connaissance de différents paramètres empiriques. Il s'avère donc utile de pouvoir évaluer ces paramètres de façon expérimentale plutôt que de se fier sur des résultats publiés se rapportant à d'autres composants se voulant similaires.

PROBLÉMATIQUE:

L'introduction de structures à puits quantiques dans les lasers à semi-conducteurs a permis un grand nombre de progrès technologiques importants. Ces composants sont toutefois toujours soumis à certains paramètres mal connus ou difficilement quantifiables tels le taux de recombinaison non radiative et la dépendance en température. Toutefois, ces paramètres pourraient être évalués de façon expérimentale.

MÉTHODOLOGIE:

Nous cherchons à évaluer certains paramètres clés des lasers à semi-conducteurs en étudiant leur spectre d'émission ainsi qu'en analysant leur courbes L-I, V-I et V-(dV/dI). Nous pourrions ensuite comparer ces résultats à ceux publiés et étudier leur effet sur les méthodes de simulation couramment employées.

RÉSULTATS:

Travail préliminaire; résultats à venir.

TITRE:

Estimateurs de performance pour contrôleurs embarqués de haute performance.

RÉSUMÉ:

On s'intéresse aux microprocesseurs embarqués ayant des fonctionnalités pour des opérations de base de traitement de signal (DSP), dont les performances vont de 40 à 200 MIPS. Le domaine d'application visé est la télécommunication pour des applications embarqués de faible consommation (modems rapides, téléphone cellulaire, communications mobiles, etc.). Pour une application donnée, il s'agit de déterminer le type de processeur (TMS320C50, ARM, Lucent, Motorola, etc.) qui rencontre le mieux les spécifications.

PROBLÉMATIQUE:

Dans le domaine des télécommunications et plus particulièrement en téléphonie, une multitude d'applications nécessite d'intégrer (embarquer) le microprocesseur dans un appareil de telle manière à respecter un ensemble de contraintes non fonctionnelles (temps d'exécution, dissipation de puissance, espace mémoire, sécurité, facilité à prédire le temps de développement, etc.). Il est donc clair que pour satisfaire toutes ces contraintes le MIPS, comme métrique de comparaison, ne suffit plus. Il faut par exemple tenir aussi compte du ratio MIPS/watt. Il s'agit donc de définir des métriques de performance pour logiciel qui modélisent ces contraintes et qui, pour une application donnée, détermine le meilleur processeur parmi un ensemble de processeurs (TMS320C50, ARM, Lucent, Motorola, etc.).

MÉTHODOLOGIE:

Dans la littérature actuelle, pour chaque métrique de performance modélisant une contrainte fonctionnelle spécifiée plus haut (temps d'exécution, taille du programme et des données, puissance dissipée, etc.) il existe plusieurs algorithmes permettant une estimation au niveau fonctionnel. Il faut cependant s'assurer que ces estimateurs de niveau fonctionnel modélisent bien l'architecture souvent propre à chaque processeur. Lorsque le niveau fonctionnel (en général en langage C) ne suffira plus, il faudra travailler au niveau réalisation (directement avec le code assembleur). L'inconvénient dans ce dernier cas est qu'il faudra alors restreindre l'ensemble des processeurs (étant donné le temps de développement). Il s'agit donc de faire le bon choix d'estimateurs et d'intégrer chacun de ces estimateurs dans une fonction objective globale.

RÉSULTATS:

AUCUN RÉSULTAT N'EST DISPONIBLE POUR L'INSTANT.

TITRE:

Implantation d'un algorithme de bruit vidéo dans un FPGA.

RÉSUMÉ:

Ce projet est développé en étroite collaboration avec la société Miranda. Il consiste à implanter un FPGA de la famille Xilinx VirtexE, un algorithme développé par Miranda, de réduction d'un bruit vidéo particulier appelé bruit de moustique. Ce bruit est un bruit de faible amplitude situé près des fronts d'images, donc particulièrement difficile à enlever, et qui apparaît lors de la décompression d'images ou de vidéos. Le standard HDTV est visé pour l'application et le traitement doit se faire en temps réel.

PROBLÉMATIQUE:

Même si l'algorithme n'est pas très complexe dans sa description, le fait d'utiliser le standard HDTV met en jeu un nombre de données très important. On parle d'une image de 1920 x 1080 pixels, soit près de 60 Mbits de données, arrivant à une cadence de près de 280 Mo/s (après décompression). Pour faire du traitement en temps réel à cette cadence, à plus forte raison dans un FPGA, il faut trouver des structures adéquates, notamment en exploitant au maximum les notions de parallélisme. Toutefois, il faut faire attention au matériel requis pour implémenter la fonction. En effet, dans une réalité industrielle, le prix de revient est un des critères décisifs.

MÉTHODOLOGIE:

Dans un premier temps, dans le cadre d'un projet de cours avec 3 autres étudiants, une version simplifiée de l'algorithme a été implantée, par une description en langage VHDL. L'architecture utilisée reste assez simple, demeurant très proche de la description algorithmique. Toutefois, quelques solutions originales ont dû être utilisées. Notamment, une unité virgule flottante spécifique a été développée. Cette unité, qui se distingue de la norme virgule flottante IEEE, est plutôt orientée FPGA et est fortement configurable pour pouvoir être utilisée dans d'autres applications. Un diviseur à virgule flottante, configurable également, a été conçu.

Cette première version a permis de voir précisément où se situent les points chauds du projet et les goulots d'étranglement de l'algorithme et ainsi indique où devront se porter les efforts.

La suite du projet consiste à bien analyser chaque sous-bloc, optimiser ou modifier sa structure afin de réduire le matériel nécessaire sans toutefois perdre de vue la contrainte temps réel.

Un autre aspect concerne la réutilisabilité des modules. Lorsqu'une fonction le permet et peut servir à d'autres applications, il peut être intéressant de rendre le module l'implémentant configurable et facilement réutilisable.

RÉSULTATS:

La première version du réducteur de bruit de moustique est fonctionnelle et elle respecte la fréquence de fonctionnement imposée. Toutefois, l'architecture n'est pas optimisée et donc le matériel nécessaire pour l'implanter demande encore un FPGA de trop grande dimension.

TITRE:

Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de faute adéquate. Des travaux antérieurs permettent de croire qu'une méthode de test injectant des biais contrôlés pourrait améliorer la couverture de fautes.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes reposent sur le fait qu'un défaut de fabrication sera traduit, souvent, par un collage. Les collages dans un circuit CML représentent seulement une portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: une porte avec un défaut voit son signal de sortie altéré mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc, toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit viser une détection plus fine, ce qui peut devenir coûteux. Il faut trouver une façon de propager l'altération du signal jusqu'aux ports de sortie. Une telle méthode a été proposée par IBM: il s'agit d'injecter un biais sur le signal de sortie de sorte que l'effet supplémentaire causé par une faute produira un niveau de signal tel qu'il ne pourra plus être régénéré et qu'il causera alors un collage. La détection est alors aussi simple que dans les techniques usuelles.

MÉTHODOLOGIE:

Cette méthode de test n'a pas été documentée. Il nous faut donc déterminer les règles de design des circuits CML incorporant cette technique ainsi que les règles de son utilisation. Pour ce faire, les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation de l'effet de l'injection des biais sur une porte CML;
- Étude de la relation entre la force du biais et la couverture de fautes;
- Étude d'une proposition d'amélioration de la méthode;
- Caractérisation de l'injection de biais dans un circuit complexe en vue d'obtenir des règles d'application;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

Dans un premier temps, un outil d'aide à la conception du circuit d'injection de biais a été conçu (dans le but d'accélérer le calcul des composantes du circuit d'injection de biais). Puis la production des vues schématiques et du netlist correspondant, pour les cellules de la bibliothèque étudiée, a été effectuée. Un autre outil automatisant la simulation pour tous les cas d'injection de biais, sur une cellule donnée, a été développé. Les résultats obtenus à l'aide de cet outil a permis d'orienter les tests à faire sur des circuits complexes. Les résultats sur des circuits complexes laissent entrevoir quelques complications. Pour l'instant, la règle obtenue, est de limiter le biais sous une certaine valeur. L'étude à venir sur une amélioration de la méthode permettra peut-être de lever cette limite. L'étude sur le niveau du biais et la couverture de fautes permet de choisir le seuil utile pour la méthode.

TITRE:

Échantillonnage électro-optique.

RÉSUMÉ:

L'échantillonnage électro-optique est une technique pour mesurer des signaux électriques ultra-rapides, grâce à sa grande sensibilité et son temps de résolution très court. Un système optique sophistiqué est nécessaire en plus d'une source laser produisant des impulsions femtoseconde avec un taux de répétition élevé.

PROBLÉMATIQUE:

Plusieurs problèmes se posent lors de la génération et la caractérisation des signaux électriques. Citons par exemple le type de matériel semi-conducteur utilisé, l'atténuation et la dispersion du signal à partir du point où il est généré jusqu'au point où se fait la mesure et la sensibilité du cristal électro-optique. Tous ces facteurs doivent être analysés pour améliorer les performances.

MÉTHODOLOGIE:

Utilisant notre système expérimental, nous étudions la génération des signaux électriques ultra-rapides produits par des composants à semi-conducteurs basés sur de nouveaux concepts et de nouvelles structures. Des impulsions électriques (10 ps) sont nécessaires pour les grandes vitesses de modulation des diodes lasers. Des lignes de transmission à faible dispersion doivent être fabriquées et étudiées. Pour accorder l'étude théorique et expérimentale, un simulateur doit être développé.

RÉSULTATS:

Le système électro-optique (à la base de LiTaO_3) activé par une source laser Ti-saphire produisant des impulsions d'environ 35 fs est déjà en place. Des composants optoélectroniques à base de InP sont déjà fabriqués. Comme premier résultat; des signaux électriques très courts de largeur à mi-hauteur de l'ordre de 6 ps ont déjà été obtenus.

TITRE:

Techniques et méthodes de conception des systèmes intégrés de type SOC.

RÉSUMÉ:

Ce projet vise l'élaboration de techniques et méthodes de conception et de vérification des circuits intégrés de type SOC (System-On-Chip). La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (Silicon Intellectual Property cores) ou « virtual components (VC) » afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE:

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées exposent la dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques de composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE:

Le projet sera réalisé en suivant la méthodologie suivante:

- Étude comparative des interfaces de communication actuelles incluant les standards PCI, AMBA et CoreConnect;
- Définition et spécification de l'architecture basée sur l'utilisation et la gestion de canaux de communication dédiés;
- Validation du protocole de communication proposé utilisant un processeur ARM;
- Implantation matérielle d'un prototype;
- Test du prototype réalisé.

RÉSULTATS:

L'implantation matérielle d'une première version d'un FIFO à canaux virtuels a été réalisée avec la technologie TSMC CMOS 0.35 micron. Une application directe du VC-FIFO a permis de modéliser un environnement de vérification basé sur l'outil VCC (Cadence). Le prototype d'un outil (InTime) d'intégration et de validation des spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre spécifications temporelles basé sur la conversion automatique des contraintes d'analyse statique temporelle entre Prime Time (SYNOPTIS) et Einsteimer (IBM) a été développée. Les résultats sont en accord avec la méthodologie de conception ASIC. Une étude approfondie des besoins en vérification au niveau système nous a rapidement démontré qu'un outil comme In Time est très utile dans la méthodologie de conception des circuits intégrés sur puce.

TITRE:

Système géomatique pour la télésurveillance d'un réseau de câblo-distribution.

RÉSUMÉ:

L'objectif du projet est l'implantation d'un système d'information géographique (SIG) pour la télésurveillance d'un réseau de câblo-distribution et de fibres optiques. Effectivement, il s'agit d'un système d'analyse, de visualisation et d'aide à la décision lors de pannes ou réceptions d'alarme en provenance des équipements.

PROBLÉMATIQUE:

Ce système devra fonctionner en temps réel à contrainte douce, afin d'assurer une bonne qualité du signal en tout temps. Le système sera doté de bases de données couvrant les données d'un grand territoire, soit le réseau VIDÉOTRON au Québec. Cette base de données comprend entre autres des données géographiques et textuelles sur les équipements et câbles ainsi que des données pour le repérage géographique qui incluent notamment les bâtiments, les rues, les adresses, et dans quelques régions des données sur les autres réseaux des mêmes secteurs. Le volume de données total à travers la province est d'environ 15 Giga-octets, actuellement répartis parmi 14 serveurs qui comprennent chacun au moins une carte géomatique représentant leur région respective. Ces données devront être rassemblées pour faciliter la télésurveillance dans un même serveur. De plus, étant donné qu'il s'agit d'un système temps réel, la navigation à travers les régions et les différentes bases de données devra se faire dans un temps acceptable.

MÉTHODOLOGIE:

Dans le cadre de ce projet, l'utilisation d'un outil géomatique, qui est un SIG incluant un système de gestion de base de données (SGBD), s'avérait efficace pour l'analyse et la visualisation des alarmes. En effet, le SIG permet de lier l'information textuelle présente sous forme d'entité dans le SGBD à des éléments graphiques inclus dans des cartes vectorielles tels que des câbles ou des équipements de réseau.

Puisque la télésurveillance couvre une grande région, on ne peut se permettre de gérer à la fois toutes les données de la province. C'est pourquoi l'information doit être segmentée et une solution a été proposée. Les informations indispensables au bon fonctionnement du système, qui sont des données dynamiques seront présentes sous forme de cartes vectorielles. De plus, des informations complémentaires pour la visualisation du réseau sont indispensables. Les données statiques qui sont les informations géographiques représentées par des cartes à balayage permettent un affichage plus rapide. Finalement, les données seront emmagasinés dans le SGBD.

RÉSULTATS:

Les données seront structurées de façon hiérarchique: plusieurs niveaux d'information seront présents et leur visualisation sera dépendante de l'échelle utilisée par l'utilisateur. La hiérarchie se présente sous forme de niveaux: au premier niveau, on retrouve les données géographiques de la province, au deuxième niveau, les données géographiques des régions, au troisième niveau, les têtes de lignes ainsi que le contour de leurs cellules et, finalement, au quatrième niveau, le détail du réseau pour les cellules qui sont un regroupement d'environ 2,000 abonnés. De plus, dans certains cas, un cinquième niveau de détail pour les équipements pourra être ajouté selon la demande de l'utilisateur.

Les équipements et câbles font partis des éléments dynamiques du SIG, ils sont liés à une entité de la base de données dont la connectivité est représentée par des pointeurs entre les entités. En effet, grâce à cette caractéristique, l'utilisateur du système pourra analyser les alarmes reçues et leurs effets sur les équipements suivants ou ascendants du réseau.

TITRE:

Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.

RÉSUMÉ:

Grâce à leurs performances remarquables, les hétérostructures III – V sont utilisées dans plus d'une application. Toutefois, ces performances et la dynamique des porteurs à l'intérieur de ces hétérostructures sont étroitement corrélées. Améliorer ces performances exige la compréhension de la dynamique ultra-rapide de transfert et de transport des porteurs.

PROBLÉMATIQUE:

Les hétérostructures III – V sont d'une grande importance dans la fabrication de composants optoélectroniques. Avec ces matériaux, il est possible de concevoir des commutateurs électro-optiques ultra-rapides. De plus, grâce à leurs propriétés optiques et de transport, ces composés sont utilisés dans les structures lasers. Ces matériaux sont d'une grande importance pour les systèmes de communication. Les performances des composants optoélectroniques sont contrôlées par la dynamique ultra-rapide des porteurs et sont souvent limitées par la vitesse de transfert de ces porteurs entre puits quantiques et barrières. La connaissance détaillée des processus de transfert et de capture (dans les puits) est alors d'une grande nécessité pour la conception de composants optoélectroniques ou photoniques ultra-rapides.

MÉTHODOLOGIE:

Nous étudions les propriétés optiques et de transport des structures laser à puits quantiques par photoluminescence standard (PLS) et photoluminescence résolue dans le temps (PLRT). La dynamique ultra-rapide des porteurs est sondée par la technique dite de conversion vers des fréquences supérieures. Afin de mieux comprendre les processus de transfert, identifier et évaluer certains paramètres qui les contrôlent, les résultats obtenus sont analysés et confrontés à des modèles théoriques.

RÉSULTATS:

Nous avons effectué des mesures de PLRT sur des échantillons d' $\text{In}_{1-x}\text{Ga}_x\text{As}_{1-y}\text{P}_y$ émettant à 1.55 et à 1.3(m respectivement. Le laser Ti-saphire utilisé opérait en régime pulsé ($\lambda = 740 \text{ nm}$), avec un taux de répétition de 82 MHz et une largeur temporelle de l'impulsion de 100 fs. Ces mesures reflètent le transfert ultra-rapide des porteurs des barrières vers les puits. Nous avons aussi effectué des mesures de PLS sur ces mêmes structures.

Pour la suite, nous allons analyser les données obtenues et les comparer à certains modèles théoriques. Nous continuerons d'étudier la dynamique de transfert et de transport des porteurs en effectuant des mesures de PLRT et PLS à des températures, puissances et longueurs d'onde d'excitation diverses.

TITRE :

Conception de boucles à verrouillage de Phase (PLL) analogiques exploitant des résistances de précision programmables.

RÉSUMÉ :

Les boucles à verrouillage de phase sont des circuits électroniques analogiques dédiés à plusieurs applications autant digitales qu'analogiques. Leur tâche est de produire un signal périodique (carré, sinus) en phase avec un signal de référence. Ces circuits sont à peu près omniprésents dans les puces digitales pour en assurer un fonctionnement synchrone. Ils sont aussi très utiles dans les circuits de communications et dans divers autres appareils électroniques. Les boucles à verrouillage de phase ne sont cependant pas insensibles aux imperfections du monde analogique. Le but du projet est alors de concevoir des circuits PLL plus précis en exploitant des résistances très précises et programmables.

PROBLÉMATIQUE :

La littérature présente plusieurs solutions très efficaces pour rendre les PLL de plus en plus précis. Évidemment, aucune de ces solutions n'est idéale et il est très important de pousser encore plus loin les performances de tels circuits. En effet, la performance et la qualité des circuits exploitant les PLLs sont intimement reliées à la précision de ceux-ci. C'est pourquoi il est souhaitable de pousser encore plus loin la recherche.

Une nouvelle technique permettant de produire des résistances programmables de très grande précision est maintenant disponible et semble très prometteuse pour ce genre de recherche. La problématique est donc de concevoir des circuits PLL analogiques de précision exploitant cette nouvelle technologie. Ces résistances, n'étant certainement pas idéales, présentent un bruit spectral inconnu qui devra être caractérisé et pris en considération lors de la conception des circuits.

MÉTHODOLOGIE :

La démarche consiste en premier lieu à effectuer une revue de littérature complète. Cette procédure permettra l'élaboration d'objectifs à battre au point de vue de la précision. Il sera parallèlement possible d'acquérir des connaissances sur les topologies déjà existantes pour s'en inspirer lors de la conception. Cette dernière se fera à l'aide d'outils CAO. Une fois convaincu des performances d'un circuit, celui-ci pourra être envoyé à la fabrication pour ensuite être programmé (programmation des résistances) et caractérisé.

Une simple démarche de mesures et de validations permettra de caractériser le comportement bruité des résistances programmables selon les standards déjà établis.

RÉSULTATS :

Aucun résultat n'est encore disponible

TITRE:

Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser un système de mesure de soutien électronique impliquant la recherche, l'interception, la localisation et l'analyse des signaux radars dans un contexte de surveillance militaire.

PROBLÉMATIQUE:

Ce projet vise à extraire en temps réel des caractéristiques propres aux impulsions radars, en particulier celles liées à la modulation intentionnelle. L'ensemble des algorithmes doivent traiter une impulsion de 1μ seconde avec une latence de 10μ secondes entre chaque impulsion. Chaque impulsion doit être échantillonnée avec un taux d'échantillonnage de 500 millions échantillons par seconde. Pour des impulsions d'une durée supérieure à 1μ seconde, la latence est proportionnelle à la durée de l'impulsion.

MÉTHODOLOGIE:

Des algorithmes d'extraction de ces paramètres seront dans un premier temps analysés afin d'étudier les sections critiques. Par la suite, ces algorithmes seront reformulés et implémentés sur des circuits programmables, des processeurs spécialisés pour le traitement numérique des signaux ou les deux, suivi d'une réalisation sur des circuits intégrés spécialisés, s'il y a lieu.

RÉSULTATS:

Ce projet fait l'objet d'une publication et un circuit intégré programmable est en voie de développement.

TITRE:

Conception et optimisation d'un cathéter servant à mesurer la pression trans-diaphragmatique et l'activité électrique du diaphragme.

RÉSUMÉ:

Mon projet de maîtrise consiste à réaliser un cathéter servant à mesurer la pression trans-diaphragmatique ainsi que l'activité électrique du diaphragme (EMGdi). La pression trans-diaphragmatique est proportionnelle à la différence de pression entre l'estomac et l'œsophage. Les deux milieux sont séparés hermétiquement par le sphincter œsophagien. L'activité électrique du diaphragme est captée par une électrode faisant contact avec le sphincter œsophagien.

PROBLÉMATIQUE:

Actuellement en clinique, la mesure de pression est effectuée avec des ballons en latex. Ces ballons sont couplés à l'air à des transducteurs de pression situés à l'extérieur du patient. Certaines limites de cette application justifient l'étude de méthodes plus efficaces. La réponse en fréquence du couplage à air est très faible. De plus, la précision que peuvent donner les transducteurs est à la limite de ce que les expériences exigent. Les fuites d'air à travers les ouvertures rendent impossible des lectures sur de longues périodes et obligent à recalibrer régulièrement la sonde.

Le signal résultant de la lecture de l'EMGdi est contaminé par l'artefact cardiaque (ECG). L'amplitude de l'ECG est beaucoup plus grande que l'amplitude de l'EMGdi. Par conséquent, il y a contamination à chaque fois qu'il y a un battement cardiaque. L'automatisation de l'analyse de l'EMGdi en fonction de la pression trans-diaphragmatique par un système dédié devient donc impossible à effectuer en présence de cet artefact. Nous devons trouver une façon d'éliminer le signal ECG à la source des lectures.

MÉTHODOLOGIE:

En ce qui concerne la mesure de pression trans-diaphragmatique, deux capteurs de pression électronique (Silicon Microstructures, modèle SM5102-005-A) ont été montés sur un cathéter. Ces capteurs ont une réponse en fréquence très élevée, soit 2KHz. Ces capteurs sont très petits et leur coût est minime. La lecture de la pression est plus précise et cette méthode est moins invasive que l'utilisation des ballons en latex.

Une électrode prototype a été proposée afin d'éliminer la contamination cardiaque. La structure ainsi que la géométrie de cette électrode ne peuvent être divulguées puisque la propriété intellectuelle quant à cette électrode appartient au médecin qui l'a proposée. Cette électrode prototype a une plus grande superficie qui fait contact avec le sphincter œsophagien et ce, même lorsque le sphincter bouge de haut en bas lors de la respiration. L'étude expérimentale de cette électrode est toutefois difficile puisque la colle servant à fixer les fils métalliques au cathéter ne parvient pas à sécher rapidement. L'étude de cette électrode par simulation informatique sera plutôt tentée comme approche.

RÉSULTATS:

FDTD est un outil qui permet de simuler la propagation des ondes électromagnétiques à très haute fréquence. Cependant, notre modèle est stimulé par des fréquences quasi statiques. Plusieurs méthodes permettent d'utiliser FDTD à de très basses fréquences tout en gardant le temps de simulation relativement court. Les caractéristiques de l'électrode prototype n'ont pu être simulées adéquatement à cause des limites de la méthode FDTD. À ce stade, il semblerait plus intéressant de poursuivre l'étude de l'électrode prototype par fabrication expérimentale plutôt que par simulation. Il faudra cependant améliorer le procédé de fabrication quant à la durée du durcissement du silastic servant à coller l'électrode sur le cathéter.

Quant à la simulation informatique, il serait plus approprié de résoudre l'équation de Laplace, qui s'applique à des champs purement statiques plutôt que de résoudre les équations de Maxwell, qui s'appliquent à des champs dynamiques.

TITRE:

Conception et réalisation d'un prototype de la partie implantable d'un stimulateur visuel cortical

RÉSUMÉ:

Ce projet consiste à réaliser un prototype de la partie implantable d'un stimulateur visuel dédié à créer une vision artificielle acceptable chez les non-voyants. Le système complet regroupera entre autre une caméra CCD et une carte de traitement commandé à partir d'un PC et qui sert à acquérir des images. Un logiciel traitera les images reçues et transmettra de nouvelles images améliorées au prototype de l'implant.

PROBLÉMATIQUE:

La partie implantable du stimulateur visuel reçoit les commandes du contrôleur externe et injecte des courants de stimulation dans le cortex visuel du non-voyant produisant chez celui-ci la sensation de voir des points lumineux (phosphènes). Les prototypes des modules externe et interne permettront de valider la fonctionnalité du système de restauration de la vision. Une matrice de diodes électroluminescentes placée sur le prototype simulera les effets des phosphènes.

MÉTHODOLOGIE:

Quatre étapes feront l'objet de la mise au point du prototype de la partie implantable du stimulateur visuel:

- Établir les spécifications de l'implant;
- Développer l'architecture du prototype à l'aide de composants et circuits intégrés commerciaux et prédiffusés;
- Développer le circuit numérique de contrôle (entièrement intégré dans un FPGA);
- Réalisation (fabrication) du prototype repose sur deux cartes de circuits imprimés.

RÉSULTATS:

La conception de l'architecture du prototype, du prédiffusé et de la partie numérique (FPGA) ont été complétées et validées par des simulations. Les deux cartes (circuits imprimés) ont été fabriqués et testés avec le succès attendu.

TITRE:

Optimisation de boucles multidimensionnelles pour la synthèse de haut niveau.

RÉSUMÉ:

Les applications du domaine DSP manipulent des tableaux de données qui sont synthétisés en unités mémoires. Or, le coût de chaque opération mémoire augmente avec la taille de celle-ci; affectant le coût de tout le système. Une estimation exacte de la taille mémoire requise par un programme devient alors une nécessité. Nous décrivons ici une technique d'estimation basée sur la formalisation de l'analyse de vie d'une variable. Notre problème d'estimation est transformé en un problème mathématique équivalent de dénombrement de solutions entières pour l'union/intersection de polytopes paramétrés. Nous exploitons les récents résultats de résolution du problème de dénombrement.

PROBLÉMATIQUE:

En raison de l'augmentation de la complexité des systèmes intégrés, les techniques d'optimisation et de conception de haut niveau sont devenues d'importants domaines de recherche. Pour prendre des décisions de conception de haut niveau efficaces, des techniques de mesures exactes et quantitatives de certaines fonctions de coût sont nécessaires. Pour des programmes induisant un volume de données important qu'on retrouve dans les applications du domaine de traitement du signal, la consommation en puissance des accès mémoires et de stockage a des effets directs sur le coût du système en entier. La taille mémoire devient dès lors l'un des facteurs importants affectant le coût du système. Une technique d'estimation exacte de la taille mémoire devient une priorité dans le domaine de conception de haut niveau.

MÉTHODOLOGIE:

Dans ce travail, nous proposons une technique tout à fait innovatrice d'estimation exacte de la taille mémoire, basée sur le modèle des polytopes. Partant d'une spécification procédurale d'une boucle, notre stratégie analytique estime le nombre minimal nécessaire de localisation mémoires requise par le programme. En se basant sur la formalisation de l'analyse de vie d'une variable, nous transformons l'estimation de la taille en un problème mathématique de dénombrement de points entiers pour l'union/intersection de polytopes. Dans certains cas, nous utilisons les résultats importants de résolutions d'un système d'équations linéaires en nombres entiers paramétriques.

RÉSULTATS:

La technique d'estimation a été mise au point et validée pour plusieurs exemples comportant des boucles multidimensionnelles. Il reste l'étape d'automatisation de ce processus qui est en cours de développement. On vise plus exactement à mettre au point un outil complet (en C++) qui, étant donné une spécification d'une boucle, génère le nombre minimal de cases mémoires requises. Nous devons permettre une intégration aisée de l'outil à un environnement plus général de Codesign matériel/logiciel.

TITRE:

Réalisation d'un microstimulateur et capteur implantable par des circuits discrets mixtes.

RÉSUMÉ:

Le projet vise à concevoir un microstimulateur implantable intégré permettant un contrôle permanent de la miction (stimulation occasionnelle) et de l'incontinence (stimulation permanente). Un lien de communication RF bidirectionnel permet de reprogrammer in vivo le stimulateur et d'avoir un contrôle diagnostique permanent sur le système et les tissus biologiques auxquels il est connecté.

PROBLÉMATIQUE:

Pour pouvoir transmettre différents types d'informations sur un même lien, il est nécessaire de les convertir en un format unique et standard. Ainsi les signaux analogiques devront être numérisés et coupés en mots de 8 bits. Ces mots n'auront plus qu'à être transmis selon un protocole de transmission série standard sur un lien RF. Pour le lien RF de retour, une modulation de fréquence est préférable, car les implants ne disposent pas toujours d'une alimentation très stable, ce qui ne permet pas une bonne modulation AM. De plus, une modulation FSK est simple à réaliser avec des éléments logiques.

Enfin, pour des soucis d'intégrabilité maximale, de simulation et de portabilité, nous nous efforçons d'étendre au maximum la partie numérique et de réduire la partie analogique.

MÉTHODOLOGIE:

La première partie des travaux consistait à réaliser des prototypes sur PCB avec des composants programmables (FPGA et micro-contrôleur) afin de pouvoir les implanter et ainsi valider les méthodes de stimulation et de communications utilisées. Bien sûr, la version intégrée est développée en parallèle au prototype, de sorte que les techniques (modulations, génération de stimuli, etc.) utilisées dans le prototype se rapprochent le plus possible de celles prévues et simulées dans la version intégrée.

RÉSULTATS;

Un prototype implantable (4cm de diamètre) incluant la stimulation occasionnelle et le lien bidirectionnel nous a permis de valider 2 des 3 fonctionnalités du stimulateur. Son équivalent sur silicium a aussi été complété, mais n'a pas encore été soumis à la fabrication, car nous attendons d'avoir testé les 3 fonctions sur prototype avant de soumettre un circuit intégré regroupant ces fonctions.

Il nous restera à finaliser la réalisation du second prototype incluant les deux stimulations (occasionnelle et permanente) et à soumettre à la SCM le design complet pour fabrication.

Des premiers tests sur simulateur et sur prototype ont donné des résultats très satisfaisants et laisse présager un accomplissement futur pouvant donner suite à plusieurs applications fonctionnelles.

TITRE:

Analyse de la testabilité des circuits RF.

RÉSUMÉ:

L'objectif de notre projet est d'effectuer une analyse de la testabilité des circuits RF; cette analyse devrait aboutir à l'élaboration de méthodes de test des circuits RF. Ainsi, le projet se divise en deux temps forts soit une partie analyse et une partie élaboration de la méthodologie.

PROBLÉMATIQUE:

Au cours des dernières années, les progrès réalisés dans la technologie des circuits intégrés analogiques et mixtes (analogiques/numériques) et leurs applications dans le domaine des télécommunications (téléphones sans fil et cellulaires compacts) ont introduit un marché potentiel pour les systèmes RF. De ce fait, la testabilité des circuits intégrés RF est devenu un enjeu de taille pour l'ingénieur. Cette testabilité est limitée par trois principaux problèmes:

- L'adaptation 50 Ohms
- La linéarité des circuits
- La fiabilité des tests

MÉTHODOLOGIE:

La méthode que nous proposons consiste dans un premier temps à réaliser une interface de test haute fréquence qui permettra de tester les circuits à haute fréquence dans un environnement 50 Ohms.

Dans un deuxième temps, il sera question d'effectuer une analyse des systèmes RF linéaires et non-linéaires, afin de pouvoir déduire pour chacune de ces classes de circuits une méthode de test appropriée.

Dans un troisième temps, le travail consistera en la transformation des approches développées sous forme d'outils CAO destinés à l'analyse de la testabilité, à la génération des signaux d'entrée de test (vecteurs de test) et aux simulations de pannes afin d'assister les ingénieurs dans l'introduction des améliorations nécessaires durant les différentes phases de développement d'un système RF intégré. L'automatisation de ces différentes méthodes élaborées sera aussi étudiée afin de pouvoir disposer de méthodes de test fiables.

RÉSULTATS:

Une interface de test haute fréquence a déjà été réalisée. Pour réaliser cette interface, une cellule intégrée dans le circuit à tester a été conçue. Deux méthodes de test ont aussi été élaborées, une première destinée aux circuits linéaires qui se base sur l'utilisation des paramètres (S), et une deuxième destinée aux circuits non-linéaires qui est basée sur l'analyse de la fonction de transfert en puissance.

TITRE:

Développement d'estimateurs de performance pour des applications de co-design logiciel/matériel.

RÉSUMÉ:

Le présent travail consiste à concevoir et mettre en œuvre des estimateurs de performance pour la détection de boucles chaudes à l'intérieur de programmes, écrits en langage ANSI-C, en vue d'un partitionnement logiciel/matériel automatique sur une architecture matérielle reconfigurable de type FPGA.

PROBLÉMATIQUE:

Un des volets du projet Code consiste à étudier la structure d'un compilateur C ciblé vers un ordinateur d'une architecture hybride reconfigurable. Le partitionnement logiciel/matériel peut se faire en utilisant des estimateurs de performance pour caractériser le choix du partitionnement par une quantité qui est comparée à un seuil d'acceptabilité. Ces critères devront tenir compte de l'accélération, du coût du matériel, de la séquentialité du logiciel, etc. Le processus de co-design n'est pas à ce jour un processus automatisé. L'objectif principal du projet est d'automatiser le partitionnement logiciel/matériel en fonction de scores de performance, relatifs aux estimateurs de performance.

MÉTHODOLOGIE:

Dans un premier temps, une revue de la littérature sur le sujet des processeurs et des circuits reconfigurables devra être effectuée afin de déterminer l'état de l'art actuel.

Dans un second temps, l'étude du compilateur SUIF, compilateur du domaine public, sera faite afin de comprendre la structure de ce compilateur et de voir comment on pourrait l'utiliser pour annoter la base de données SUIF et le code source.

Enfin, la conception et la mise en œuvre de chacun des estimateurs de performance devront être réalisés avec les méthodes SUIF. Ceci conduira à la détermination de scores de performance en vue d'un partitionnement logiciel/matériel accentuant la vitesse d'exécution d'une tâche.

RÉSULTATS:

- Une revue complète de la littérature touchant le domaine des processeurs et des circuits reconfigurables a été réalisée;
- Une liste d'estimateurs de performance a été proposée afin d'évaluer la pertinence d'un éventuel partitionnement logiciel/matériel selon le temps d'exécution requis, la quantité de mémoire requise, la surface matérielle occupée sur le FPGA et la bande passante requise;
- Chacun de ces estimateurs a été implanté en utilisant les méthodes du compilateur SUIF et du langage C++;
- Tous ces estimateurs ont été intégrés dans un prototype d'un outil d'analyse de performance;
- Un guide de l'utilisateur a été rédigé;
- Diverses applications (suite de Fibonacci, multiplication de matrices, convolution, etc.) ont fait l'objet d'études pour valider l'outil. Les résultats obtenus sont prometteurs et permettent de localiser les régions critiques d'une application écrite en langage C en vue de les transporter et les exécuter sur une plate-forme matérielle FPGA afin d'accélérer sa vitesse d'exécution.
- Le projet est complètement terminé et toutes les validations ont été effectuées.
- La soutenance ainsi que le dépôt final du mémoire de maîtrise ont également eut lieu.

TITRE:

Circuit de démultiplexage analogique dédié à un implant visuel.

RÉSUMÉ:

Ce projet de recherche consiste à concevoir un circuit qui peut générer et diriger des impulsions de courant biphasiques avec amplitude et fréquence variables vers chaque paire d'électrodes dans une matrice de 4 x 4 pixels dédié à une version simplifiée de l'implant visuel de notre équipe PolySTIM.

PROBLÉMATIQUE:

L'excitation d'une zone dans le cerveau (le cortex visuel) avec des impulsions de courant a comme résultat l'apparition des sensations lumineuses (phosphènes). Cette sensation est directement proportionnelle à l'intensité, la durée et la fréquence de chaque impulsion. Notre équipe propose une matrice de 25 x 25 électrodes qui devra être implantée dans le cortex visuel d'une personne aveugle. Si chaque paire d'électrodes de cette matrice est stimulée avec une information proportionnelle à une zone de l'image reçue, cette personne pourra apercevoir une représentation lumineuse qui est similaire à la scène visualisée.

MÉTHODOLOGIE:

Un convertisseur numérique-analogique (CAN) à 5 bits, basé sur le code thermomètre, sert à programmer une source de courant pour générer le courant de stimulation avec amplitude et durée variables. Une partie numérique de contrôle accomplit les autres tâches pour commander le circuit de démultiplexage. Afin de générer des impulsions biphasiques, à partir de l'impulsion monophasique, nous utilisons une structure de transistors en H. La technologie CMOSP35 sera utilisée pour intégrer l'ensemble du démultiplexeur.

RÉSULTATS:

Suite à une revue de littérature portant sur les circuits de stimulation neuronale et musculaire, l'architecture pour le circuit a été définie. Une version préliminaire d'un démultiplexeur de 4 x 4 sites de stimulation pour le circuit a été réalisée et les tests qui suivent serviront à valider les résultats de simulation.

TITRE:

Conception d'un circuit de conversion de protocoles pour la transmission de vidéo sur des réseaux haute-vitesse.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser une architecture flexible, capable d'effectuer la conversion en temps-réel de plusieurs protocoles réseaux existants et futurs. Les protocoles existants ciblés sont ceux capables de transporter des données vidéo numériques de qualité studio, c'est-à-dire de plus de 360 Mbps.

PROBLÉMATIQUE:

La quête de l'augmentation de la largeur de bande des réseaux informatiques actuels est incontournable. Bon nombre de groupes de recherche en sont à développer des protocoles visant à obtenir des débits de données toujours plus grands. Résultat, il est difficile de faire cohabiter ces protocoles dans un même réseau.

Une des solutions existantes (passerelle) n'est efficace que pour des protocoles à bas débits de données, soit moins de 100 Mbps. Par ailleurs, elle ne permet que la conversion d'un nombre fini de protocoles. Une autre solution (routeur passerelle) exige la modification de la topologie du réseau pour être utilisable et elle n'est pas transparente du point de vue du réseau.

MÉTHODOLOGIE:

Cette recherche vise à permettre la cohabitation de protocoles dans un même réseau, et ce, sans influencer sa topologie, sa configuration et son utilisation.

Voici les éléments de la méthodologie utilisée afin de mener à terme ce projet de recherche:

- Recherche bibliographique pour déterminer et comprendre les protocoles haute-vitesse intéressants pour des applications multimédias;
- Développement d'une architecture logicielle flexible permettant la conversion entre des protocoles;
- Faire le profilage de cette architecture et accélérer matériellement les parties trop exigeantes en terme de cycle processeur;
- Mettre en œuvre l'architecture logicielle et les parties matérielles à l'aide d'une carte de développement ARM9 comprenant un FPGA Xilinx XVC1000.

RÉSUMÉ:

La recherche bibliographique est complétée et les protocoles IEEE 802.3, IEEE 1394 et USB 2.0 ont été retenus. L'architecture logicielle a été développée et validée.

TITRE :

Conception d'un outil basé sur la méthode dite de mutation permettant la validation de circuits VLSI.

RÉSUMÉ :

Le but de ce projet est de proposer une méthode systématique d'enrichissement de vecteurs de validation afin de détecter les bugs présents dans un programme. Cette méthode exploite le concept de mutation qui consiste à injecter des fautes spécifiques dans la version originale d'un programme VHDL. Ces programmes mutés appelés mutants sont donc des programmes syntaxiquement corrects mais fonctionnellement incorrects. L'aptitude qu'ont ces vecteurs à détecter ces fautes renseignera le concepteur des tests quant à la manière d'augmenter son jeu de vecteurs de validation.

PROBLÉMATIQUE :

Les circuits VLSI sont de plus en plus complexes et la validation de ces circuits devient de plus en plus problématique. Quand peut-on dire qu'un design rempli pleinement les objectifs décidés par les spécifications?

La méthode de mutation permet d'identifier un certain nombre de vecteurs capables de détecter un ensemble fini et bien spécifié de fautes. En fait, ces vecteurs sont capables de montrer qu'un programme est erroné s'il fournit un résultat incorrect. Par ailleurs, la modélisation des bugs est réalisée à partir d'opérateurs.

MÉTHODOLOGIE :

La première étape consiste à proposer des opérateurs spécifiques à un langage (en l'occurrence le VHDL). Ces opérateurs modélisent les bugs. Ils permettent l'introduction de fautes dans le programme original. L'efficacité de la méthode proposée est validée sur trois bancs d'essai.

- Un module de détection d'erreurs d'un processeur ancillaire (Miranda);
- Un générateur d'adresse d'une machine SIMD (Pulse);
- La puce SIMD (Pulse).

RÉSULTATS :

- Le module de détection et le générateur d'adresse ont été réalisés à l'aide du langage VHDL
- Les opérateurs VHDL ont été définis.
- Les programmes en langage C constituant les opérateurs ont été décrits.
- La première méthodologie systématique de test par mutation a été expérimentée.
- Les limites de la méthode ont été montrées.
- Une amélioration de la méthodologie a été effectuée en réalisant un outil de test par mutation.

TITRE:

Réalisation de filtres analogiques Gm-C configurables dans les circuits intégrés.

RÉSUMÉ:

Le projet consiste à réaliser des filtres analogiques configurables dans les circuits intégrés en utilisant des cellules de transconductance. En modifiant le courant de références des cellules à l'aide d'une source de courant programmable, il est possible de modifier les caractéristiques (fréquence centrale, gain et facteur de qualité) des filtres élaborés.

PROBLÉMATIQUE:

La réalisation des filtres analogiques intégrés opérant à haute fréquence a longtemps été limitée par les différentes méthodes proposées dans le passé. De plus, la variation possible due au procédé de fabrication fait qu'il est impératif d'utiliser une méthode permettant d'ajuster les caractéristiques des filtres réalisés. Récemment, les cellules de transconductances ont acquis une grande popularité pour réaliser les filtres analogiques dans des circuits intégrés étant donné leur simplicité et qu'elles permettent d'opérer à des fréquences élevées tout en étant facilement contrôlable. Il s'agit donc de réaliser une cellule de transconductance performante afin de l'utiliser dans des applications spécifiques.

MÉTHODOLOGIE:

Dans le but d'atteindre nos objectifs, nous exécuterons d'abord une étude bibliographique afin de comparer les différents types d'architecture de cellules de transconductance ainsi que les différentes méthodes de réalisation des filtres. Par la suite, une élaboration d'une nouvelle architecture de cellule de transconductance sera faite afin de réaliser des filtres en se basant sur les travaux précédents de l'équipe de recherche PolyStim. Finalement, différentes applications nécessitant l'utilisation des cellules Gm-C seront proposées ainsi que la réalisation d'un exemple de filtre générique.

RÉSULTATS:

Une revue complète de la littérature touchant le domaine des cellules de transconductance ainsi que les différentes méthodes pour réaliser des filtres ont été complétées. Une nouvelle architecture de cellule de transconductance ayant les caractéristiques se rapprochant le plus possible d'un intégrateur idéal a été réalisé. Finalement, une réalisation physique d'un filtre passe-bande du second et du huitième ordre ainsi qu'une source de courant programmable parfaitement fonctionnelle ont été fabriqués à l'aide d'une technologie CMOS 0.35µm. Les résultats expérimentaux des filtres bien que présentant des différences par rapport aux résultats de simulations, démontrent le fonctionnement de la cellule proposé tel que montré en simulation ainsi que la validité du principe d'opération. Connaissant la source des difficultés rencontrées expérimentalement, des solutions permettant de les surmonter ont été proposées.

TITRE:

Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.

RÉSUMÉ:

La coordination des activités à l'intérieur d'un système distribué est normalement assurée par une politique de répartition des tâches. La répartition des tâches permet une utilisation équitable des ressources et améliore le rendement du système. De plus, un ordonnancement efficace peut diminuer le temps d'exécution des tâches en profitant du parallélisme (implicite ou explicite) du programme parallèle.

PROBLÉMATIQUE:

La simulation en temps réel de grands réseaux électriques exige une très grande puissance de calculs. L'utilisation de l'ordinateur parallèle peut simplifier le travail en exploitant le parallélisme implicite et explicite du problème. L'objectif de cette recherche consiste à trouver une méthode de répartition des tâches capables de distribuer efficacement les calculs dans le réseau des processeurs.

MÉTHODOLOGIE:

Le problème de répartition des tâches peut être vu comme un problème de recherche heuristique dans lequel il est nécessaire de trouver une politique de gestion capable de respecter toutes les contraintes spatiales et temporelles imposées. La méthode de répartition des tâches proposée repose sur le principe de la complétude de l'algorithme A* et sur l'admissibilité des heuristiques. Une approche pragmatique doit être envisagée pour tenir compte de la limitation de la mémoire disponible pour la recherche heuristique. L'ensemble de ces considérations donnera lieu à une nouvelle méthode de répartition des tâches. Cette nouvelle méthode, basée sur un algorithme de recherche heuristique, doit être en mesure d'effectuer le découpage dynamique de l'espace de solution. Ainsi, il est possible de diminuer son temps d'exécution et d'obtenir une complexité temporelle et spatiale bornée.

RÉSULTATS:

Une méthode de répartition automatique des tâches a été réalisée pour le simulateur en temps réel HyperSim d'IREQ. Le répartiteur des tâches est basé sur un nouvel algorithme de recherche DPSM (Dynamic Pruning Search Method). Le DPSM est une méthode de recherche heuristique capable de tenir compte de la mémoire disponible tout en conservant les caractéristiques de la complétude et l'optimalité de l'algorithme A*.

L'analyse et la présentation dans un cadre formel des heuristiques utilisées. La coordination d'une gestion d'exceptions dans la méthode de répartition des tâches. Les exceptions sont des cas où la solution d'une répartition ne peut être obtenue. L'étude de faisabilité sur la proposition automatique de topologies d'interconnexions pour faciliter la répartition des tâches. La thèse est maintenant complétée et deux articles de revue sont en préparation.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles

| Chercheur | Organisme Programme | Montant annuel | Période de validité | Titre |
|---------------|---|----------------|---------------------|--|
| Bois, G. | CRSNG individuelle | 15,000.00 \$ | 1997 – 2000 | «Méthodes de partitionnement logiciel/matériel pour la conception de systèmes dédiés de haute performance» |
| Bois, G. | Société Canadienne de Microélectronique | 13,880.00 \$ | 1999 – 2000 | «Carte DSP V2 Configurable» |
| Bois, G. | CRSNG Individuelle | 18,972.00 \$ | 2000 – 2003 | «Estimation, raffinement et synthèse des communications dans le processus de codesign logiciel/matériel» |
| Houle, J.-L. | CRSNG individuelle | 18,350.00 \$ | 1996 - 2000 | «Algorithmes et architectures pour système à multiprocesseurs spécifiques» |
| Maciejko, R. | CRSNG – Coop. CRD avec BNR | 30,000.00 \$ | 1997 – 2000 | «Gain-Coupled MQW/DFB Lasers» |
| Maciejko, R. | BNR NORTEL | 30,000.00 \$ | 1997 – 2000 | «Gain-Coupled MQW/DFB Lasers» |
| Maciejko, R., | CRSNG individuelle | 34,134.00 \$ | 2000 - 2001 | «Semiconductor optical amplifiers for signal processing» |
| Meunier, M., | CRSNG individuelle | 34,650.00 \$ | 1999 - 2002 | «Couches minces et nanoparticules par laser pulsé» |
| Savaria, Y. | Ministère de la Défense Nationale | 80,000.00 \$ | 1998 – 2001 | «Investigation of Digital Hardware Implementation of IMOP» |
| Savaria, Y. | CRSNG individuelle | 43,734.00 \$ | 1997 - 2000 | «Méthodes de conception et test pour les circuits intégrés CMOS ultra-rapides» |
| Savaria, Y. | Nortel | 30,000.00 \$ | 1999 - 2000 | «Fault Modeling and Testability Methods for NT25 Bipolar Technology» |
| Savaria, Y., | Hyperchip | 84,000.00 \$ | 1999 - 2001 | «Wafer-Scale High Performance Digital Switches; Design, Implementation and Test Demonstration» |
| Savaria, Y. | Micronet, Miranda, PMC Sierra, Genum | 112,000.00 \$ | 1998 – 2001 | «Architecture of Digital Video Circuits and Synchronisation of High Speed Systems» |
| Savaria, Y., | Société Canadienne de Microélectronique | 14,320.00 \$ | 1999 - 2000 | «Fabrication d'une puce» |
| Savaria, Y., | CRSNG Fonctionnement | 51,728.00 \$ | 2000 - 2001 | «Méthodes de conception de circuits intégrés analogiques précis et d'horloges rapides et précises» |

| Chercheur | Organisme Programme | Montant annuel | Période de validité | Titre |
|---|---|-----------------------|----------------------------|--|
| Sawan, M. | Micronet, CRSNG, Goal Electronics | 34,500.00 \$ | 1998 – 1999 | «High Performance Mixed-Signal Circuits for Future Wireless Application» |
| Sawan, M. | Contrat de recherche PRESSEK | 12,800.00 \$ | 1998 - 1999 | «Design of a Pure Touch Multichannel Encoder» |
| Sawan, M. | CRSNG individuelle | 19,000.00 \$ | 1995 - 1999 | «Circuits et technologies mixtes pour micro-stimulateurs et capteurs implantables» |
| Sawan, M., | CRSNG | 30,900.00 \$ | 2000 - 2002 | «Circuits intégrés mixtes dédiés aux systèmes électroniques sans fils» |
| Aboulhamid, M., Bois, G. Savaria, Y., Sawan, M et 16 autres | GRIAO, FCAR – Centre de Recherche Infrastructure | 125,000.00 \$ | 1999 – 2000 | |
| Aboulhamid, M., Bois, G. | Micronet | 50,000.00 \$ | 1998 - 2000 | «Hardware Software System Partitioning and Development of Estimation Tools» |
| Bois, G., Savaria, Y., Sawan, M., | Société Canadienne en Microélectronique | 124,474.00 \$ | 1999 – 2000 | «Prêt d'appareillage» |
| Camarero, R., Savaria, Y., et 8 autres | CRSNG, MEQ, Fonds Polytechnique | 6,380,000.00 \$ | 1999 - 2000 | «Réseau de métaconception et prototypage» |
| Elhilali, M., Sawan, M, Duval, F., | Fondation Canadienne des Maladies du Rein | 40,000.00 \$ | 1999 - 2001 | « Modulation of Bladder Function Through Neurostimulation» |
| Ghannouchi, F., Sawan, M | CRSNG Équipement | 45,000.00 \$ | 1999 - 2000 | «Générateur RF d'ondes arbitraires pour les communications numériques» |
| Laurin, J.-J., Savaria, Y., | CRSNG Équipement | 30,225.00 \$ | 1999 - 2000 | «Two-Axes Precision Positioning System» |
| Maciejko, R., Masut, R., Berolo, E., | FCAR Équipe | 18,000.00 \$ | 1999 - 2001 | «Dispositifs photoniques à semi-conducteurs sur substrat d'InP» |
| Maciejko, R., Cada, M., Wartak, M., | NSERC - Canadian Institute for Photonic Innovations | 238,709.00 \$ | 1999 - 2000 | «Semiconductor Optical Amplifiers» |
| Maciejko, R., Fortin, A., | CRSNG Stratégique , Nortel | 103,000.00 \$ | 1999 - 2000 | «Design of Advances MQW DFB Lasers» |
| Martinu, L., Meunier, M et 3 autres | FCAR Infrastructure | 50,000.00 \$ | 1999 - 2001 | «Modification de surfaces» |

| Chercheur | Organisme Programme | Montant annuel | Période de validité | Titre |
|---|-------------------------------------|-----------------------|----------------------------|--|
| Martinu, L, Meunier, M et 3 autres | FCAR Équipement | 25,000.00 \$ | 1999 - 2001 | «Modification de surfaces» |
| Marsh, T., Savaria, Y. & Al. | FCI | 10,205,300.00 \$ | 2000 - 2001 | «System-On-Chip Research Network: A national library of microelectro-nic systems components and CAD tools available to multiple research sites through secure communication links» |
| Meunier M., et 16 autres | FCAR, Centre - GCM (infrastructure) | 145,000.00 \$ | 1999 - 2001 | |
| Meunier M., et 12 autres | CRSNG Infrastructure | 170,000.00 \$ | 1999 - 2001 | «Thin Film Group Laboratory» |
| Meunier, M., et 9 autres, | FCI Infrastructure | 10,860,000 \$ | 2000 - 2002 | «Mini Superionic Conductors» |
| Sacher, E., Meunier, M., | Contrat «Angiogène» | 150,000.00 \$ | 1999 - 2000 | |
| Sacher, E. Meunier, M., et Martinu, L., | CRSNG Stratégique | 120,000.00 \$ | 1998 - 2000 | «Diffusion of Metals into Polymers» |
| Savaria, Y., et 5 autres | École Polytechnique | 30,000.00 \$ | 1999 - 2000 | Fonds interne GRM - Infrastructure |
| Savaria, Y., Houle, J.-L., Kaminska, B., Sawan, M., | FCAR | 46,500.00 \$ | 1997 - 2000 | «Méthodes de conception des systèmes VLSI et ULSI» |
| Savaria, Y., Bois, G., Sawan, M., Aboulha mid, M. | CRSNG Stratégique | 97,900.00 \$ | 1997 - 1999 | «Hardware/ Software Co-design of Reconfigurable Computational Accelerators» |
| Savaria, Y., Bois, G., | FCAR Équipe | 65,000.00 \$ | 2000 – 2002 | «Méthodes de conception des systèmes électroniques modernes» |
| Savaria, Y., Bois, G., Sawan, M., | FCAR Équipe – Équipement | 44,156.00 \$ | 2000 – 2001 | «Banc d'essai modulaire flexible pour prototypage systèmes micro-électroniques numériques» |
| Savaria, Y., Meunier, M., | O.I.Q., LTRIM | 40,000.00 \$ | 1999 - 2000 | «Restructuration Laser pour la microélectronique» |
| Sawan, M., Savaria, Y., & Al. | FCI | 3,217,865.00 \$ | 2000 - 2001 | «Dispositifs Médicaux Intelligents (DMI): Design, Construction Essais et Validation in Vitro et in Vivo» |
| Sawan, M., Guitton, D., Savaria, Y., Meunier, M., | CRSNG stratégique | 126,700.00 \$ | 2000 - 2001 | «Dispositif électronique implantable dédié à la création d'une vision artificielle chez les non-voyants» |

| Chercheur | Organisme Programme | Montant annuel | Période de validité | Titre |
|--|---------------------|----------------|---------------------|-------------|
| Yelon, A., Meunier, M., et Paleologou, M., | CRSNG Stratégique | 111,500.00 \$ | 1997 - 2000 | «Membranes» |

Équipement prêté par la SCM (WWW.CMC.CA)

| | |
|---|---|
| <p>Fournisseur: ACA 1 x Sun GPID CNTL SB488A</p> <p>Fournisseur: CMC 1 x RPB MOD2 1 x Test Head REVO 1 x Test Head TH1000</p> <p>Fournisseur: DIGIDYNE 1 x SMI K1236</p> <p>Fournisseur: GGB 8 x Microwave Probe 40A 3 x Picoprobe 28 2 x Power supply Dual Output</p> <p>Fournisseur: HP 1 x A/D Digitizer E1429B 1 x A/W Generator E1445A 1 x Calibration Kit 85033D 1 x Comman Module E1406A 1 x D20 System E1494A 1 x Instrument Rack E3661A 1 x Moniteur Couleur 17" 1 x Analyseur Network 8753E 2 x Pattern I/O POD E1454A 1 x Programmable P/S 6623A 1 x Analyseur Spectrum 8593E 1 x Terminator PAT I/O E1452A 1 x Test Station 745i 1 x Timing Module E1450A 1 x Timing POD E1453A 1 x VXI Mainframe E1401A</p> <p>Fournisseur: IMS 1 x Système Test XL100</p> | <p>Fournisseur: SUN 1 x CD-ROM 12x 1 x CD-ROM 644MB 2 x Disk Drive UNIPACK 9.1GB 2 x Disk Multipack 18.2GB 1 x Disk Multipack 21.0GB 1 x Disk Multipack 8.4GB 1 x Disk STC 25.2GB 1 x Disk STC 25.2GB 1 x Moniteur couleur 17" 3 x Moniteurs couleur 19" 7 x Moniteurs couleur 20" 3 x Moniteurs couleur 21" 1 x Serveur Entreprise1-140 2 x Serveur Ultra 10 1 x Serveur Entreprise1-140 1 x Serveur Ultra 10 1 x Tape .25" 150MB 2 x Tape Drive 20-40GB 8MM 1 x Workstation S20-50 5 x Workstation S5-85 2 x Workstation ULTRA 10 4 x Workstation ULTRA1-140</p> <p>Fournisseur: TEK 1 x Power Meter NRVS 1 x Power Sensor NRV-Z6</p> <p>Fournisseur: TEKTRONIX 1 x CAL Substrate CAL96</p> <p>Fournisseur: TESTFORCE 1 x A/W Generator 8750 4 x Micropositioner MH5-L 4 x Micropositioner MH5-R</p> <p>Fournisseur: UNIBIT 1 x Tape EXB 8MM 5.0GB</p> |
|---|---|

Équipement appartenant au groupe (www.GRM.polyvmtl.ca)

| | |
|---|--|
| <p>1 x SUN Sparcstation IPX, 56 Mb 1 x SUN Sparcstation IPX, 40 Mb 1 x SUN Sparcstation 1 28 Mb 1 x SUN Sparcstation 1,8 Mb 1 x SUN Sparcstation 1+, 16 Mb 2 x SUN Sparcstation 2, 64 Mb 5 x SUN Sparcstation 10 64 Mb 3 x SUN Sparcstation 5-70 64 Mb 4 x SUN Sparcstation 4-110 32 Mb 1 x SUN Sparcstation 4-170 32 Mb 3 x SUN Sparcstation 5-85 64 Mb 1 x SUN Sparcstation 5-110 96 Mb 1 x SUN Sparcstation 5-110 64 Mb 1 x Sun Ultra 10, 128 Mb 2 x SUN 1.3Gb external drive 3 x SUN 2.1 Gb external drive 1 x SUN 4.0 Gb external drive 1 x HP Workstation 712/60 64 Mb 1 x SUN Ultra-1 256 Mb 1 x SUN IPC 36 Mb 2 x OSS 2.1 GB external drive 2 x OSS 4.0 GB external drive 2 x SUN 150 MB external tape drive 1 x UNIBIT 5.0 GB external tape drive 2 x SUN 14 GB external tape drive 1 x Colorado Tracker 700MB external tape drive 2 x SUN 644 MB external CDROM drive 1 x HP 4 x external CDROM drive 1 x HP printer laserjet IIP 2 x HP printer laserjet 4m+ 1 x HP printer laserjet 5m 1 x HP printer HP5L 1 x HP printer 1200/C 1 x SUN printer Sparcprinter 12 pp 1 x HP printer plotter 7580B 1 x HP printer paintjet Color 2 x HP printer Deskjet 650 C</p> | <p>1 x HP printer deskwriter C 1 x MAC printer deskwriter C 29 x APC BK600 UPS 1 x Rapid prototyping board V.2 1 x HP Semi-Cond. P.A. 4145A 1 x Miranda Research Espresso 1 x MiroTech Cage VME et Pc 1 x HP function Generator 8111A 1 x HP oscilloscope 1741A 100MHz 1 x TEKTRONICS Analyseur Logique 3002 1 x PHILIPS oscilloscope 0-25 MHz PM3212 1 x HP Power supply 6202B 1 x WENTHWORT Prober 1 x SUN 76" data center cabinet 2 x PC 486 DX 33, 16 Mb 1 x PC 486 DX 66, - 16 Mb 1 x PC P133, 16 Mb 1 x PC 486 DX 100, 16 Mb 1 x PC 486 DX4-100, 16 Mb 1 x PC 486 DX4-100, 20 Mb 1 x PC 486 DX50, 16 Mb 1 x PC Pentium Pro200 64 Mb 5 x PC Pentium 120, 32 2 x PC Pentium 100, 16 Mb 1 x PC Pentium 100 64 Mb 2 x PC Pentium 90, 32 Mb 1 x PC Pentium 90, 16 Mb 1 x PC Pentium 75, 16 Mb 1 x PC Pentium 166, 32 Mb 1 x PC Pentium 333, 128 Mb 2x PC Pentium II 400. 128 Mb 2 x PC Pentium I 350, 64 Mb 2 x PC Pentium 200, 128 Mb 1 x TENEX 2.1 Gb external drive 2 x TENEX 4.0 Gb external drive 1 x UNIBIT2,1 Gb external drive</p> |
|---|--|

Logiciels

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont du domaine public. Xilinx, Cadence, Synopsys, Mentor et quelques autres sont fournis en tout ou en partie par la Société Canadienne de Microélectronique.

Avanti corp, Star-HSPICE 97.2 et 98.2 (simulateur)

Cadence 1999A (environnement intégré par la conception des circuits VLSI)

- IC 4.4.3
- ICC 4.0
- DSMDP 3.4C
- DSMSE 5.2
- LDV 2.1
- SPW 4.1
- DES 4.0

DW2000 4.20 (Édition de masque, fourni par Design Workshop)

FrameMaker 4 et 5 (Logiciel de traitement de texte)

Matlab (logiciel pour le traitement mathématique)

Mentor Graphics

- C.1
- Seamless
- Renoir

Model Tech 5.2

Publisher

Synopsys 1998.08-1

- SIM (Core Simulation Tools)
- SYN (Core Synthesis Tools)
- DWD (DesignWare Developer Utilities)
- DALI (Protocol Compiler)
- PT (PrimeTime)

Synopsys Logic Modeling 4.1

Synplicity Synplify 5.3.1

Xilinx M1.5i

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés ou soumis pour publication

- [A- 1] BOYER, F., ABOULHAMID, M., SAVARIA, Y., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques», accepté pour publication *ACM Tr. On Design Automation of Elect. Systems*, mars 2000.
- [A- 2] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ROBIN, S., ELHILALI, M.M., «Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs», *IEEE Trans. On Rehabilitation Eng.*, 2000.
- [A- 3] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», accepté pour publication *Journal of Solid-State Circuits*, 2000.
- [A- 4] CORMIER, L.M., MA, F., BAH, S.T., GUÉTRÉ, S., MEUNIER, M., PALEOLOGOU, M., YELON, A., «Sodium Salt Splitting Performance of a Novel NASICON-polymer Composite Cation Selective Membrane», soumis pour publication *J. Electrochemical Society*, 2000,.
- [A- 5] CRAMON, M.A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New easy to install nerve cuff electrode based on a shape memory alloy armature: fabrication, modeling and experimental results», soumis à *The IEEE Trans. On Reh. Eng.*, 2000.
- [A- 6] DECORSE, P., QUENNEVILLE, E., MEUNIER, M., YELON, A., MORIN, F., «Characterization fo $\text{La}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ thin films prepared by pulsed laser deposition» soumis pour publication *J. Vac. Sci. Technol. A.*, 2000.
- [A- 7] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Short-Locking Time and Wide-Locking Range Frequency-Locked Loop», accepté pour publication à *Trans. On CAS II*, 2000
- [A- 8] FORTIN, A., SAVARIA, Y., SAWAN, M., «A configurable generic two's complements pipelined multiplier» soumis à *IEEE Design and Tests*, 2000.
- [A- 9] GAGNON, Y., LACOURSE, A., SAVARIA, Y., MEUNIER, M., «Laser Beam Impedance Tuning of Semiconductor Devices», 2000, soumis pour publication *IEEE-ED*.
- [A-10] HARB, A., SAWAN, M., «Low-Power CMOS Interface for Recording and Processing Very Low Amplitude Signal», soumis *Analog Integrated Circuits & Signal Processing Journal (AICSPJ)*, 2001.
- [A-11] KABASHIN, A.V., CHARBONNEAU-LEFORT, M., MEUNIER, M., LEONELLI, R., «Effectsof Deposition and Post-fabrication Conditions on Photoluminescent Properties of Nanostructures Si/SiO_x Films Prepared by Laser Ablation», *Applied Surface Science*, 2000, accepté pour publication.
- [A-12] KHALI, H., SAVARIA, Y., HOULE, J-L., RIOUX, M., BÉRALDIN, J.A., POUSSART, D., «Improvement of Sensor Accuracy in the Case of a Variable Surface Reflectance Using Active Laser Range Finder», soumis pour publication *IEEE Transactions on Instrumentation and Measurements*.
- [A-13] KHALI, H., SAVARIA, Y., HOULE, J-L., RIOUX, M., BÉRALDIN, J.A., POUSSART, D., «Iterative Model for Accurate Centroid Correction Applied to Laser Range Finders in the Case of a Reflectance Gradient», soumis pour publication *IEEE Transactions on Instrumentation and Measurements..*
- [A-14] KHALI, H., SAVARIA, Y., HOULE, -J.-L., «A System Level Implementation Strategy and Partitioning Algorithm for Applications Based on Lookup Tables», soumis pour publication à *Elsevier Journal of Electrical and Computer Engineering.*
- [A-15] LORAZO, P., LEWIS, L.J., MEUNIER, M., «Picosecond Pulsed Laser Ablation of Silicon: A Molecular-dynamics Study», *Applied Surface Science*, 2000, accepté pour publication.
- [A-16] POPOVICI, D., MEUNIER, M., «Focusing method and apparatus for high resolution laser projection patterning» soumis pour publication *Review of Scientific Instruments*, 2000.
- [A-17] QUENNEVILLE, E., SMITS, J.P., MORIN, F., MEUNIER, M., YELON, A., «Electronic transport by Small Polarons in $\text{La}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ », soumis pour publication *J. Applied Physics*, 2000.
- [A-18] WU, X., SACHER, E., MEUNIER, M., «Thermophoresis: Applications for preventing particle recontamination», soumis pour publication *J. Adhesion*.
- [A-19] YANG, D.Q., MEUNIER, M., SACHER, E., «The Estimation of the Average Dimensions of Deposited Clusters from XPS Emission Intensity Ratios», soumis pour publication *Applied Surface Science*, 2000.

Articles de revues publiés de septembre 1999 à août 2000.

- [P- 1] BOSI, B., BOIS, G., SAVARIA, Y., «Reconfigurable Pipelined 2D Convolvers for Fast Digital Signal Processing», *IEEE VLSI Systems Transactions*, vol. 7, no. 3, septembre 1999.

Articles de revues publiés de septembre 1999 à août 2000. (suite)

- [P- 2] BOYER, N., OLIVER, B., HAGLEY, A., MASSON D.P., SIMARD-NORMANDIN, M., MEUNIER, M., «Temperature Distribution over a GaAs Heterojunction Bipolar Transistor Measured by Fluorescent Microthermal Imaging», *J. Vac. Sci. Technol., A*, 18, 754-756, 2000.
- [P- 3] CHAMPAGNE, A., MACIEJKO, R., ADAMS, D.M., PAKULSKI, G., TAKASAKI, B., MAKINO, T., «Global and Local Effects in Gain-Coupled Multiple-Quantum-Well DFB Lasers», *IEEE Jour. Quantum Electron.*, Vol. 35, no.10, octobre 1999, pp. 13900-1401.
- [P- 4] CHANG, Y., LEONELLI, R., MACIEJKO, R., SPRINGTHORPE, A., «Promising intracavity mode-locking device: a stranded GaInAs/AlInAs saturable Bragg reflector grown by molecular-beam epitaxy», *Applied Phys. Lett.*, vol. 76, no. 7, février 2000, pp. 921-923
- [P- 5] CRAMPON, M.A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New easy to install nerve cuff electrode using SMA armature», *Artificial Organs Journal*, vol. 23, no. 5, 1999, pp. 392-395,
- [P- 6] DONFACK, C., SAWAN, M., SAVARIA, Y., «Efficient Monitoring of Electrodes Nerve Contacts During FNS of the Bladder», *Med & Bio. Eng. & Comput.*, vol. 38, 2000, pp. 465-468.
- [P- 7] GÜÇLÜ, A.D., REJEB, C., MACIEJKO, R., MORRIS, D., CHAMPAGNE, A., «Photoluminescence study of carrier dynamics and recombination in a strained InGaAsP/InP multiple-quantum-well structure», *Journal of Applied Physics*, Vol.86, no. 6, septembre 1999, pp. 3391-3397.
- [P- 8] WU, X., SACHER, E., MEUNIER, M., «The modeling of excimer laser particle removal from hydrophilic silicon surfaces», *J. Appl. Phys.* 87 2000, pp. 3618-3627.
- [P- 9] WU, X., SACHER, E., MEUNIER, M., «The effects of hydrogen bonds on the adhesion of inorganic oxide particles on hydrophilic Silicon surfaces», *J. Appl. Physics*, 86, 1999, pp.1744-1748.

Articles de revues publiés de septembre 1998 à août 1999.

- [P-10] ACHOUR, C., DAVIDSON, J., HOULE, J. -L., «Multi-Elementary Processor Implementation of 2D Wavelet Transforms», *International Journal of Computers & Applications*, vol. 21 number 3, 1999.
- [P-11] ARABI, K., SAWAN, M., «Electronic Design of a New Multiprogrammable Microimplant for Neuromuscular Electrical Stimulation», *IEEE Trans. On Reha. Eng.*, vol. 7, no. 2, 1999, pp. 204-214.
- [P-12] ASSI, A., SAWAN, M., «High Performance CMOS Transconductor for Mixed-Signal Analog-Digital Applications», *Analog Integrated Circuits & Signal Processing Journal*, vol. 19, 1999, pp. 303-317.
- [P-13] GIRARD, R., IZQUIERDO, R., QUENNEVILLE, E., PALEOLOGOU, M., MEUNIER, M., IVANOV, D., YELON, A., «Evaluation of a ceramic-polymer composite action-selective membrane for sodium salt splitting» *Electrochemical Society*, 146, 1999, pp. 2919-2924.
- [P-14] GÜÇLÜ, A. D., MACIEJKO, R., CHAMPAGNE, A., «Comparison of Monte Carlo with Drift-Diffusion Equations in Quantum-Well Laser Simulation», *Journal of Appl. Physics*, vol.84, no. 9, novembre 1998, pp. 4673-4676.
- [P-15] LAVOIE, P., CRESPO, J. -F., SAVARIA, Y., «Generalization, Discrimination and Multiple Categorization Using Adaptive Resonance Theory», *IEEE Tr. On Neur. Net* vol. 10, juillet 1999, pp. 1-12.
- [P-16] NEKILI, M., SAVARIA, Y., BOIS, G., «Spatial Characterization of Process Variations via MOS Transistor Time Constant in VLSI & WSI» *IEEE Journal of Solid-State Circuits*, vol. 34, no. 1, janvier 1999, pp. 80-85.
- [P-17] POPOVICI, D., MEUNIER, M., SACHER, E., «Laser-enhanced gas phase surface modifications of Teflon AF1600 for increased Copper adhesion», *J. Adhesion*, 70, 1999, pp. 155-165.
- [P-18] R, M., SACHER, E., «Laser-Enhanced gas phase surface modifications of Teflon AF1600 for increased Copper Adhesion», *J. Adhesion*, 70, 1999, pp.155-165.
- [P-19] WU, X., SACHER, E., MEUNIER, M., «The effects of hydrogen bonds on the Adhesion of inorganic oxide particles on hydrophilic Silicon surfaces», *J. Appl. Physics*, 86, 1999, pp. 1744-1748.
- [P-20] WU, X., SACHER, E., MEUNIER, M., «Excimer laser induced removal of particles from hydrophilic Silicon surfaces», *J. Adhesion*, 70, 1999, pp. 167-178.

Articles de conférences publiés de septembre 1999 à août 2000.

- [C-1] CALBAZA, D.E., SAVARIA, Y., «Direct Digital Frequency Synthesis of Low-Jitter Clocks», *CICC'2000*, Orlando, mai 2000, pp. 31-34.

Articles de conférences publiés de septembre 1999 à août 2000 (suite)

- [C-2] CAMPAGNA, I., BOIS, G., BAILLARGÉ, J., «A General Co-Simulation Model on Seamless for Teaching H/S Co-Design» *Proc. of 16th Annual Intern. Conf. Mentor Graphics User's Group*, Portland, Oregon, septembre 1999.
- [C-3] CANTIN, M.A., BLAQUIÈRE, Y., SAVARIA, Y., LAVOIE, P., GRANGER, É., «Analysis of Quantization Effects on a Digital Hardware Implementation of a Fuzzy ART Neural Network Algorithm», *ISCAS 2000*, Genève, mai 2000.
- [C-4] CORMIER, L., MA, F., BAH, S.T., GUÉTRÉ, S., MEUNIR, M., PALEOLOGOU, M., YELON, A., «Novel Nasion-Polymer Composite Membrane for Electrically Driven Processes. Effect of Ceramic thickness on Current Efficiency», *Electrochem Soc. Proc.*, 99-13, 1999, pp. 35-41.
- [C-5] COULOMBE, J., SAWAN, M., WANG, C., «Variable resolution CMOS current mode active pixel sensor», *IEEE-ISCAS*, Genève, mai 2000.
- [C-6] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «Short Locking Time FLL and PLL Based on a DLL Technique», *IEEE-MWSCAS*, Lansing, août 2000.
- [C-7] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New Circuit Techniques Based on a High Performance Frequency to voltage Converter», *IEEE-ICECS*, Chypre, septembre 1999.
- [C-8] DONFACK, C., SAWAN, M., SAVARIA, Y., «Fully Integrated AC impedance measurement technique for implantable electrical stimulation applications», *IFESS*, Denmark, août 2000.
- [C-9] FAYOMI, C., ROBERTS, G., SAWAN, M., «Low Power/Low Voltage High Speed CMOS Differential Track and Latch Comparator with Rail-to-Rail Input», *IEEE-ESCAS*, Genève, 2000.
- [C-10] FAYOMI, C., ROBERTS, G., SAWAN, M., «Low-Voltage CMOS Analog Switch for High Precision Sample-and-Hold Circuit» *IEEE-MWSCAS*, Lansing, août 2000.
- [C-11] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «CMOS Wide-Swing Differential VCO for Fully Integrated Fast PLL», *IEEE-MWSCAS* Lansing, août 2000.
- [C-12] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «A New Fully Integrated CMOS Phase-Locked Loop With Low Jitter and Fast Lock Times», *ISCAS 2000*, Genève, mai 2000.
- [C-13] HARB, A., HU, Y., SAWAN, M., «New CMOS Instrumentation Amplifier Dedicated to Very low-Amplitude Signal Applications» *IEEE-ECECS*, Chypre, septembre 1999.
- [C-14] HÉNEAULT, Y., BOIS, G., ABOULHAMID, M., BAILLARGÉ, J., YOUSEFPOUR P., «Picasso: A H/S Capture Tool Based on VSIA Recommendations» *Proc. of International Workshop On IP Based Synthesis and System Design*, Grenoble, décembre 1999.
- [C-15] HÉNEAULT, Y., BOIS, G., ABOULHAMID, M., BAILLARGÉ, J., YOUSEFPOUR, P., «Renoir Extensions to Support a H/S Co-Design Methodology», *Proc. of 16th Annual Intern. Conf. Mentor Graphics User's Group*, Portland, Oregon, septembre 1999.
- [C-16] HU, Y., SAWAN, M., «CMOS Front-end Amplifier Dedicated to Monitor Very Low Amplitude Signal from Implantable Sensors» *IEEE-MWSCAS*, Lansing, août 2000.
- [C-17] [C-4] KABASHIN, A.V., CHARBONNEAU-LEFORT, M., MEUNIER, M., LEONELLI, R., «Production of Photoluminescent Si-based Nanostructures by Laser Ablation: Effects of the Ablation and Post-deposition Conditions», *SPIE Proc.*, vol. 3vol. 3933, 2000, pp 192-199.
- [C-18] LORAZO, P., LEWIS, L., MEUNIER, M., «Molecular Dynamics of picosecond Pulsed Laser Ablation and Desorption of Silicon» *SPIE Proc.*, vol. 3618 2000, article invite, pp. 290-301.
- [C-19] MEUNIER, M., WU, X., BEAUDOIN, F., SACHER, E., «Excimer Laser Cleaning for Microelectronics: Modeling, Applications and Challenges», *SPIE Proc.*, vol. 3935, 2000, pp. 66 - 75.
- [C-20] QUENNEVILLE, E., DECORSE, P., MEUNEIR, M., MORIN, F., YELON, A., «Electrical Properties of Annealed $\text{La}_{0.5}\text{Sr}_{0.5}\text{MnO}_3$ Thin Films Prepared by Pulse Laser Deposition», *Electro Chem. Soc. Proc.* 99-13, 1999, pp. 218-227.
- [C-21] REJEB, C., MACIEJKO, R., MORRIS, D., «Optical Properties of InGaAsP MQW heterostructures», *2000 International Conference Applic. Photonic Technology*, Quebec City, juin 2000.
- [C-22] SCHNEIDER, E., SAWAN, M., ET AL., «Sphincter contraction inhibition and detrusor hyperreflexia prevention using selective stimulation: chronic experiments in dogs» *IFESS*, Denmark, août 2000.
- [C-23] VOGHELL, J.C., SAWAN, M., «Current tuneable CMOS transconductor for filtering applications», *IEEE-ISCAS*, Genève, mai 2000.
- [C-24] WU, X., SACHER, E., MEUNIER, M., «Thermophoretic Control fo Submicron-sized Particulate Recontamination», *Proc. 23rd Ann. Mtg. Adhesion Society*, Myrtle Beach, SC, 20-23 février 2000, 15510 1086-9506, pp. 360-362.

Articles de conférences publiés de septembre 1998 à août 1999.

- [C-25] ANTAKI, B., SAVARIA, Y., SAMAN, A., XIONG, N., «Design for Testability Method for CML Digital Circuits», *Des. Auto. And Test in Europe (DATE'99)* Munich, mars 1999, pp. 360-367.
- [C-26] AUDET, D., MASSON, S., SAVARIA, Y., «Reducing Fault Sensitivity of Microprocessor-Based System by Modifying Workload Structure», *Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, Austin, novembre 1998, pp. 241-249.
- [C-27] BEAUCHAMP-PARENT, A., SAWAN, M., «New Reconfigurable Ultrasonic Enuresis Monitoring System», *IEEE-EMBS'98*, Hong Kong, octobre 1998.
- [C-28] JBOIS, G., «Codesign/Cosimulation Environment and Standards», *Canadian Workshop on system-On-Chip Technology*, http://www.cmc.ca/Events/Conferences/bois_CWSOC2000.pdf, juin 2000.
- [C-29] BOYER, F.R., ABOULHAMID, E.M., SAVARIA, Y., BENNOUR, I.E., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques», *IEEE ICCD'98, Computer Design: VLSI in Computers and Processors*, Austin, octobre 1998, pp. 62-69
- [C-30] BOYER, N., MASSON, D.P., MEUNIER, M., SIMARD-NORMANDIN, M., «FMI applied to the study of the temperature distribution in flip chips», *Proceedings of the Semi-Therm. XV Conf.*, 1999.
- [C-31] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ELHILALI, M., «New Miniaturized Selective Stimulator to Enhance Bladder Voiding», *IFESS'99*, Sandai, août 1999.
- [C-32] CALBAZA, D.E., SAVARIA, Y., «Jitter Model of Direct Digital Synthesis Clock Generators» *ISCAS'99*, Orlando, 30 mai au 2 juin 1999, papier 2.1
- [C-33] CRAMPON, M.A., BRAILOVSKI, V., SAWAN, M., «Modeling of a new shape memory cuff electrode» *38th METCOM*, Québec, août 1999.
- [C-34] CRAMPON, M.A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New Nerve Cuff Electrode Based on a Shape Memory Alloy Armature», *IEEE-EMBS'98*, Hong Kong, octobre 1998.
- [C-35] DIA, A., THIBEAULT, C., GARGOUR, C.S., HOULE, J.-L., «On the Use of Wavelet Analysis for IC Testing», *Troisième Conférence Internationale sur l'Automatisation Industrielle*, Montréal, 7-9 juin 1999.
- [C-36] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «Improved Biotelemetry System with an Integrated Automatic Control», *IFESS'99*, Sandai, août 1999.
- [C-37] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «An Efficient RF Power Transfer and Bidirectional Data Transmission to Implantable Electronic Devices», *IEEE-ISCAS'99*, Orlando 1999.
- [C-38] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «A 200 MHz Frequency-Locked Loop Based on New Frequency-to-Voltage Converters Approach», *IEEE-ISCAS'99*, Orlando, mai 1999.
- [C-39] DONFACK, C., SAWAN, M., SAVARIA, Y., «Efficient Monitoring of Electrodes-Nerve Contacts during FNS of the Bladder», *Int. Funct. Elect. Stimulation Soc. (IFESS), Conf.* Sendai, Japon, août 1999.
- [C-40] FOUZAR, Y., SAWAN, M., SAVARIA, Y., «A BiCMOS Wide-Lock Range Fully Integrated PLL», *Internationale Conférence en Microélectronique*, décembre 1998, pp. 274-277
- [C-41] HARB, A., SAWAN, M., CRAMPON, M.-A., «Monitoring Bladder Activities in Paralysed Dogs: System Design and Acute Experiments», *IFESS'99*, Sandai, août 1999.
- [C-42] HARB, A., SAWAN, M., «New Low-Power Low-Voltage High CMRR CMOS Instrumentation Amplifier» *IEEE-ISCAS'99*, Orlando, mai 1999.
- [C-43] HARVEY, J.-F., ROY, M., SAWAN, M., «Visual Cortex Stimulation Prototype based on Mixed-Signal Technology Devices», *IFESS'99*, Sandai, août 1999.
- [C-44] JIANG, Y., TANG, Y., WANG, Y., SAVARIA, Y., «Evaluating the Output Probability of Boolean Functions Without Floating Point Operations», *Proc. of CCCECE*, Edmonton, mai 1999, pp. 443-437.
- [C-45] JIN, Z.-F., LAURIN, J.-J., SAVARIA, Y., GARON, P., «A New Approach to Analyse Interconnect Delay in RC Wire Models», *ISCAS'99*, Orlando, 30 mai au 2 juin 1999, papier 72.2.
- [C-46] LE CHAPELAIN, B., MECHAIN, A., SAVARIA, Y., BOIS, G., «Development of a High Performance TSPC Library for Implementation of Large Digital Building Blocks», *Proc. of the IEEE International Symposium on Circuits and Systems*, Floride, mai 1999.
- [C-47] MACIEJKO, R., «Recent Developments in Semiconductor Lasers and Semiconductor Amplifiers», *1999 CAP Congress*, Fredericton, N.B. juin 1999, MO-A7-2.
- [C-48] MARRIOTT, P., KRALJIC, I., SAVARIA, Y., «Parallel Ultra Large Scale Engine SIMD Architectures for Real Time Digital Signal Proc. Appl.» *ICCD'98*, Austin, octobre 1998, pp. 482-487.

- [C-49] MEUNIER, M., WU, X., BEAUDOIN, F., SACHER, E., «Excimer laser cleaning for microelectronics: modeling, applications and challenges», *SPIE Conference*, San José, 1999, article invité.
- [C-50] NEKILI, M., SAVARIA, Y., BOIS, G., «Design of Clock Distribution Networks in Presence of Process Variations», *Proc. of Great Lake Symposium*, Louisiane, février 1998.

Articles de conférences publiés de septembre 1999 à août 2000 (suite)

- [C-51] POIRÉ, P., SAVARIA, Y., DANIEL, H., CANTIN, M.-A., BLAQUIÈRE, Y., «Hardware Software Codesign of a Fuzzy ART Neural Clusterer», *The Benefits of Reconfigurable Computing, SPIE 98*, Boston, novembre 1998, pp. 90-96.
- [C-52] PRONOVOST, N., HOULE, J.-L., «A Geomatic System for Real-Time Applications», *AI'99 Applied Informatics*, Innsbruck, Australie, février 1999, pp. 690-694.
- [C-53] RABEL, C.E., SAWAN, M., «PARC: A New Pyramidal FPGA Architecture Based on a Risc Processor», *IEEE-ISCAS'99*, Orlando, mai 1999.
- [C-54] SAWAN, M., DONFACK, C., SCHNEIDER, E., BOYER, S., ROY, M., «Externally-Powered Implantable Device Dedicated to Monitor FES Events and Parameters», *Int. Functional Electrical Stimulation Conf. (IFESS)*, Lucerne, septembre 1998.

Brevets

- [B-1] BEAUCHAMP-PARENT, A., SAWAN, M., MENASSA, K., «Miniaturized Ultrasound Bladder Volume Monitor», *Application en cours*, 2000.
- [B- 2] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., «Adaptif Digital Predistortion for Power Amplifiers with Real Time Modeling of Memory Complex Gains», *081877-479*, 1999
- [B- 3] SAWAN, M., ELHILALI, M., «Electronic Stimulator Implant for Modulating and Synchronising Bladder and Sphincter Functions» application en cours, 2000.
- [B- 4] SAWAN, M., HARVEY, J.F., ROY, M., COULOMBE, J., «Body Electronic Implant and Artificial Vision System Thereof», *Demande internationale*, No. 27293-0014, 2000.
- [B- 5] YELON, A., PALEOLOGOU, M., IVANOV, D., IZQUIERDO, R., MEUNIER, M., «Composite ceramic-polymer thin film cation-selective membrane, method of fabricating same and applications» accepté 1999.

RAPPORTS TECHNIQUES:

- [R- 1] CHAMPAGNE, A., MACIEJKO, R., «Simulation of Buried-Heterostructure MQW Fabry-Perot Lasers», décembre 1999, for Nortel Networks, Ottawa, 24 pages.
- [R- 2] CHAMPAGNE, A., LESTRADE, M., MACIEJKO, R., «DFByz: A Multimode Gain-Coupled DFB Laser Simulator» juin 2000. Tech. Rep., Nortel, Ottawa, 33 pages
- [R- 3] CHAMPAGNE, A., MACIEJKO, R., «A Comparison Between LAS2D Simulations and Experimental Results», mai 1999, for Nortel Networks, Ottawa, 24 pages.
- [R- 4] CHAMPAGNE, A., MACIEJKO, R., «An Integrated Non-Isothermal Fabry-Perot Laser Simulator», *Talk and software delivered to NORTEL*, 7 avril 1999.
- [R- 5] CHAMPAGNE, A., MACIEJKO, R., «Lateral Spatial Hole Burning in Ridge and Buried-Heterostructure MQW Fabry-Pérot lasers», pour *NORTEL*, février 1999.

INDEX DES AUTEURS

| | | | |
|---|----|-------------------------------------|----|
| A | | J | |
| <i>ACHOUR Chokri</i> | 16 | <i>JECKLEN, Ernesto</i> | 52 |
| <i>ASSAAD, Maher</i> | 17 | K | |
| B | | <i>KHALI, Hakim</i> | 53 |
| <i>BAILLARGÉ, Jacques</i> | 18 | <i>KUMAR, Padmapriya</i> | 54 |
| <i>BALAZINSKI, Bartosz</i> | 19 | L | |
| <i>BEAUDIN, Sylvain</i> | 20 | <i>LACOURSE, Alain</i> | 55 |
| <i>BELHAOUANE, Adel</i> | 21 | <i>LAFRANCE, Louis-Pierre</i> | 56 |
| <i>BENDALI, Abdelhalim</i> | 22 | <i>LANGLOIS, Hughes</i> | 57 |
| <i>BOYER, François-Raymond</i> | 23 | <i>LE CHAPELAIN, Bertrand</i> | 58 |
| <i>BOYER, Stéphane</i> | 24 | <i>LESTRADE, Michel</i> | 59 |
| <i>BOYOGUENO BENDÉ, André</i> | 25 | <i>LI, Ran</i> | 60 |
| <i>BRAIS, Louis-Philippe</i> | 26 | <i>LOISEAU, Ludovic</i> | 61 |
| C | | M | |
| <i>CALBAZA, Dorin-Emil</i> | 27 | <i>MONTÉ-GENEST, Ginette</i> | 62 |
| <i>CAMPAGNA, Isabelle</i> | 28 | <i>MOUJOU Abderrafia</i> | 63 |
| <i>CANTIN, Marc-André</i> | 29 | N | |
| <i>CHABINI, Noureddine</i> | 30 | <i>NSAME, Pascal</i> | 64 |
| <i>CHEBLI, Robert</i> | 31 | P | |
| <i>COULOMBE, Jonathan</i> | 32 | <i>PRONOVOST, Natalie</i> | 65 |
| <i>COUSINEAU, Cynthia</i> | 33 | R | |
| <i>CYR, Geneviève</i> | 34 | <i>REJEB, Chedly</i> | 66 |
| D | | <i>RENAUD, Mathieu</i> | 67 |
| <i>DELAGE Jean-François</i> | 35 | <i>RICHARD, Jean-François</i> | 68 |
| <i>DESLAURIERS, Yann</i> | 36 | <i>ROMAIN, Luc</i> | 69 |
| <i>DIDO, Jérôme</i> | 37 | <i>ROY, Martin</i> | 70 |
| <i>DJEMOUAI, Abdelouahab</i> | 38 | S | |
| E | | <i>SAHRAOUI, Nadjiba</i> | 71 |
| <i>EL HALALI, Hicham</i> | 39 | <i>SCHNEIDER, Éric</i> | 72 |
| F | | <i>SYLLA, Iboun Taimiya</i> | 73 |
| <i>FAYOMI, Christian Jésus B.</i> | 40 | T | |
| <i>FORTIN, Alexandre</i> | 41 | <i>THÉRIAULT, Lévis</i> | 74 |
| <i>FOUZAR, Youcef</i> | 42 | <i>TIZU, Marius Sorin</i> | 75 |
| G | | <i>TREMBLAY, Jean-Marc</i> | 76 |
| <i>GAGNON, Yves</i> | 43 | V | |
| <i>GRANGER, Éric</i> | 44 | <i>VADO, Patrice</i> | 77 |
| <i>GÛÇLÛ, Alev Devrim</i> | 45 | <i>VOGHELL, Jean-Charles</i> | 78 |
| H | | W | |
| <i>HAMZA, Moulay Idriss</i> | 46 | <i>WONG, Tony</i> | 79 |
| <i>HARB, Adnan</i> | 47 | | |
| <i>HARVEY, Jean-François</i> | 48 | | |
| <i>HÉBERT, Olivier</i> | 49 | | |
| <i>HÉNEAULT, Yannick</i> | 50 | | |
| <i>HU, Yamu</i> | 51 | | |

