

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche pour sa préparation et sa diffusion.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 1998 – 1999, 85 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds pour la formation de Chercheurs et l'Aide à la Recherche du Québec (FCAR), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils participent aussi à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique et à un projet de IRIS dans le cadre du centre d'excellence en vision. Citons aussi les projets réalisés avec des partenaires industriels, BNR/NT, MiroTech, ainsi que ceux réalisés pour le Ministère de la Défense. Il est à noter finalement que la plupart des professeurs membres réguliers du GRM sont impliqués dans la réalisation d'un projet de grande envergure subventionné par le programme Synergie du gouvernement du Québec. Ce projet qui s'appelle PULSE implique trois partenaires industriels: Genesis, Miranda et MiroTech. Le groupe tend vers un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 98-99

L'année 98 – 99 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs Savaria et Audet de l'Université du Québec à Chicoutimi (Méthodes de conception de circuits tolérants aux défauts); la collaboration entre Savaria et Massicotte de l'Université du Québec à Trois-Rivières (Modélisation d'échantillonneurs rapides); Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de restructuration laser); Savaria et Aboulhamid de l'Université de Montréal (Parallélisation de boucles et compilation de description synthétisable à partir de spécification en langage C); Savaria et Blaquièrre de l'Université du Québec à Montréal (Conception de réseaux de neurones et conception logiciel-logiciel); Raut et Sawan (circuits en mode courant), Davidson de l'UQAM et Sawan (processeur spécialisés et FPDs), Bennis de l'ETS et Sawan (circuits de prédiction) Homsy de l'Université de Montréal et Sawan (systèmes ultrasoniques), Fortier de l'Université d'Ottawa et Sawan (stimulateur de Cortex), Van der Puije de l'Université de Carleton et Sawan (électrodes implantables), De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de monostructures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre Poly-Grames notamment les professeurs Savaria, Laurin et Wu (interconnexions de circuits VLSI à très haute vitesse) Sawan et Bosisio (circuits mixtes VLSI et micro-ondes), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), notons aussi la collaboration avec le GRBB (Groupe de Recherche en Biomatériaux et Biomécanique), entre les professeurs Sawan et Yahia (Électrodes et Matériaux implantables).

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et de regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et de génie informatique et se compose des membres réguliers et membres associés suivants:

Liste des membres réguliers:

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique et de génie informatique, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de testabilité, à l'intégration ULSI et aux applications de ces technologies.
- **Dr Guy Bois:** professeur agrégé au département de génie électrique et de génie informatique, qui s'intéresse à l'aspect algorithmique de la conception de circuits intégrés, en particulier, à la synthèse de très haut niveau et à la synthèse de masques.
- **Dr Jean-Louis Houle:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux applications du VLSI et aux architectures parallèles pour le traitement des signaux et des images.
- **Dr Bozena Kaminska:** professeure agrégée au département de génie électrique et de génie informatique, qui s'intéresse à la conception pour la testabilité, aux problèmes de testabilité, à la synthèse de haut niveau ainsi qu'aux interconnexions optiques.
- **M. Bernard Lanctôt:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux méthodes de conception et au développement de logiciels de conception VLSI.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Mohamad Sawan:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse à la synthèse, la conception et la réalisation de circuits mixtes (numériques-analogiques) et à leurs applications dans les domaines industriel et biomédical, spécifiquement, les stimulateurs et capteurs sensoriels.

Liste des membres associés:

- **Dr David Haccoun:** professeur titulaire au département de génie électrique et de génie informatique, qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et directeur du Groupe de recherche en physique et technologie des Couches Minces (GCM). Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de laser dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration par laser pour la microélectronique.

Liste d'autres professionnels et chercheurs

De plus, les personnes suivantes collaborent ou ont collaboré aux travaux du groupe à divers titres:

- M. Jean Bouchard: technicien du laboratoire VLSI.
- M. Réjean Lepage: technicien du laboratoire GRM.

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défauts;
- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, en biomédical par la réalisation de micro stimulateurs implantables et dans la réalisation d'échantillonneurs rapides;
- Les logiciels de synthèse, de conception et de test assistés par ordinateur;
- Les dispositifs électroniques et électro-optiques ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, sur l'accélération des calculs, sur la cosynthèse et le codesign de systèmes électroniques et sur les techniques d'autotest et de tolérance aux pannes et aux défauts. Le second axe couvre des thèmes divers comme la conception d'un classificateur de haute performance, la conception d'organes de calcul pour un système de vision 3D, la conception d'un décodeur de Viterbi, la réalisation d'échantillonneurs rapides et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Un premier thème est la conception de circuits de haute vitesse. Nous concentrons nos efforts sur les technologies CMOS et bipolaires au silicium. Nous élaborons des méthodes pour concevoir, modéliser et automatiser la conception de réseaux de distribution d'horloge et de circuits synchrones rapides. Nos travaux exploitent aussi les techniques de synchronisation à une phase (True Single Phase Clocking (TSPC)). De plus, nous utilisons les lignes à délai verrouillable (Delay Locked Loop (DLL)) pour produire des bases de temps ultra-rapides, nécessaires aux applications de haute performance. Enfin, nos travaux récents portent sur l'impact du placement et du routage sur le fonctionnement à haute vitesse et sur les méthodes de tests adaptés pour ces circuits.

Un autre axe de recherche poursuivi est l'élaboration de méthodes pour concevoir des coprocesseurs dédiés à des applications intensives en calcul. De tels coprocesseurs peuvent être synthétisés puis chargés au besoin dans une batterie de réseaux logiques programmables afin de réaliser un amalgame performant, fruit d'un compromis matériel logiciel.

Nous travaillons aussi à l'élaboration de méthodes qui permettent de concevoir des circuits auto-testables. Nos recherches portent sur la technologie bipolaire CML, dont le comportement en présence de défauts présente des particularités intéressantes.

Applications

Dans le cadre de cet axe plus appliqué, nous avons étudié les techniques de mise en œuvre de réseaux de neurones artificiels et nous avons proposé de nouvelles règles d'apprentissage pour les réseaux ART. Ce type de réseau est envisagé pour la classification en temps réel des signaux radars.

Nous exploitons les techniques de conception de circuits rapides afin de concevoir des circuits d'échantillonnage ultra-rapides. Nos efforts portent sur la conception d'échantillonneurs précis. Plus spécifiquement, nous développons des méthodes de traitement de signal pour compenser les imprécisions introduites par la bande passante limitée, les couplages parasites et les variations paramétriques.

Nos travaux portent enfin sur l'accélération des calculs dans les applications de traitement des signaux. Un premier axe de recherche porte sur l'utilisation d'une architecture d'accélérateur de calcul reconfigurable appliqué aux télécommunications et à la corrélation optique. Le second porte sur les architectures adaptées pour le traitement vidéo.

Nous explorons le domaine de la télévision numérique comme une classe d'applications pour des circuits intégrés dédiés. Nos travaux portent sur la mise en œuvre d'une puce pour insérer et extraire des données ancillaires dans un signal de télévision numérique. Une des fonctionnalités importante requise est la synthèse d'horloge directe de haute précision. Nos travaux portent aussi sur la conception d'interfaces sérieuses pour la télévision à haute définition où les taux de transfert atteignent 1.5Gbits. Nous considérons enfin des applications de télécommunication qui ont des besoins similaires comme la norme OC-24 qui exige de traiter les données à 1.2 Gbit/sec.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans la conception d'algorithmes pour la synthèse automatique de circuits intégrés. Ces recherches sont divisées en deux thèmes: 1. cosynthèse et cosynthèse logiciel/matériel et 2. la synthèse d'horloges rapides pour circuits VLSI et ULSI.

1. Codesign et cosynthèse logiciel/matériel

La recherche et le développement en codesign se divise à son tour en deux parties, selon le type d'architecture visé lors des spécifications: 1.1 Les microprocesseurs de type DSP de haute performance (TMS320C40, ADSP21060, TMS320C60, etc) et 1.2 les microprocesseurs de type contrôleur embarqué DSP (TMS320C54, ARM7, etc).

1.1 Applications avec processeurs DSP de haute performance

L'objectif premier de cette recherche est de proposer une approche pour accélérer la vitesse de calcul en traitement du signal (DSP) et de l'image. Considérant trop lent l'utilisation d'un processeur commercial (e.g. *Motorola, Texas Instrument, etc.*), jusqu'à tout récemment deux approches existaient pour accélérer: a) l'approche des circuits intégrés, très performante mais très dispendieuse en frais de développement pour des volumes modérés, b) l'approche multiprocesseur, beaucoup moins dispendieuse à cause de sa souplesse au niveau programmation mais beaucoup moins performante.

En assistant le processeur commercial d'un réseau de logique reconfigurable (FPGAs) jouant le rôle d'accélérateur, nous obtenons une troisième approche, qui est celle du système dédié reconfigurable de haute performance. Ce dernier offre un excellent compromis, c'est-à-dire la performance des circuits intégrés à coût abordable.

Le second objectif de cette recherche est de développer une méthode de partitionnement logiciel/matériel pour la synthèse de systèmes dédiés reconfigurables de haute performance. Ce partitionnement se fait à deux niveaux: le premier niveau concerne le partitionnement entre le processeur commercial et le réseau de logique reconfigurable, alors que le deuxième concerne uniquement le partitionnement du réseau de logique reconfigurable. Au deuxième niveau nous travaillons au développement d'une librairie matérielle (par analogie à librairie logicielle pour DSP). Plus précisément, à chaque opération spécialisée (convolution, FFT, etc.) exécutée sur le réseau de logique reconfigurable correspond une représentation binaire qui configure le(s) FPGA(s) afin d'exécuter la fonctionnalité requise.

1.2 Applications avec contrôleurs embarqués DSP

On s'intéresse aux microprocesseurs embarqués ayant des fonctionnalités pour des opérations de base DSP, dont les performances vont de 40 à 200 MIPS (TI TMS320C50, ARM ARM7, Lucent DSP 1620, etc.). Le domaine d'application visé est la télécommunication pour des applications de faible consommation (modems rapides, téléphone cellulaire, communications mobiles, etc.), et qui par moment peuvent requérir une vitesse d'exécution supérieure à 200 MIPS. La conception de ses systèmes nécessite d'intégrer (embarquer) le microprocesseur dans un appareil de telle manière à respecter un ensemble de contraintes non fonctionnelles (temps d'exécution, dissipation de puissance, espace mémoire, sécurité, facilité à prédire le temps de développement, etc.). À partir d'outils commerciaux existants l'objectif est donc de développer une méthodologie de codesign logiciel/matériel pour cette famille d'application.

Ces travaux dans le domaine du codesign et de la cosynthèse logiciel/matériel sont réalisés avec les sociétés MiroTech Microsystems, Nortel et Mentor Graphics.

2. Synthèse d'horloges rapides

Des travaux sur la synthèse d'horloges performantes se poursuivent. Ces travaux traitent de l'impact des variations du procédé de fabrication sur les systèmes intégrés synchrones de haute performance. Nous travaillons à un meilleur modèle des biais de synchronisation dans les circuits VLSI et ULSI de haute performance. Nous travaillons aussi sur la manière optimale d'effectuer les compromis entre la bande passante, le délai, le biais de synchronisation, la surface consommée et la puissance dissipée. Ceci devrait conduire d'ici peu à une méthode automatique de synthèse des systèmes d'horloge.

Au premier niveau, nous travaillons à accélérer de manière automatique des applications en langage C, en les transférant sur du matériel. Ceci implique une série de transformations (parallélisation, allocation et ordonnancement) puis une génération en VHDL synthétisable.

Activités du professeur Houle

La recherche du professeur Jean-Louis Houle découle de résultats acquis. Afin d'assurer une bonne continuité, nous maintenons l'orientation de travaux fondamentaux et leurs relations à une classe limitée d'applications. Le travail est donc en deux volets:

1. Algorithmes et architectures pour multiprocesseurs à objectifs spécifiques;
2. Conception, simulation et évaluation de performances de prototypes pour le traitement en temps-réel de signaux de contrôle dans de très grands réseaux électriques.

Dans le premier volet, nous développons des outils informatiques pour évaluer la fonctionnalité et la performance de processeurs spécialisés par analyse et simulation. Nous avons déjà des architectures de processeurs élémentaires (PE) que nous devons optimiser. Ces PE seront ensuite interconnectés en structures parallèles pour des applications spécifiques.

Dans le deuxième volet, l'application principale est l'étude de grands réseaux électriques qui requièrent des équations algébriques de réseaux et des équations différentielles pour modéliser différents équipements électrotechniques. La simulation en temps réel rigide (« hard real-time ») de phénomènes de stabilité transitoire nécessite des processeurs parallèles pour exécuter indépendamment les uns des autres, mais ils sont synchronisés. Des graphes de précédances et des graphes de communications sont utilisés. Puisque l'assignation des tâches est de complexité NP, des algorithmes de type A* modifiés doivent être mis au point.

Les deux volets comportent des aspects fondamentaux nécessaires aux prototypes de laboratoire, qui sont testés à l'Institut de recherche d'Hydro-Québec et au laboratoire de calcul parallèle de l'École de Technologie Supérieure. L'originalité des travaux est dans l'adaptation de la structure du réseau d'ordinateurs à celle du réseau électrique. L'importance est dans l'augmentation de l'efficacité de grands réseaux électriques.

Le professeur Jean-Louis Houle dirige des projets d'implantation en VLSI d'architectures parallèles pour le traitement temps réel de signaux et d'images. Il s'intéresse à la réalisation en FPGA d'algorithmes pour des applications spécifiques en utilisant en particulier des transformées en ondelettes (wavelets). Il travaille aussi sur des algorithmes parallèles pour le traitement de matrice creuses (sparse) appliquées à l'analyse dynamique de la sécurité des grands réseaux électriques ainsi qu'à la simulation de leur instabilité transitoire. Il codirige trois étudiants de cycles supérieurs à l'IREQ et cinq autres au laboratoire GRM (au total 3 doctorats et 4 maîtrises).

Collaborations universitaires et industrielles:

Des collaborations avec le professeur Jacob Davidson de l'Université du Québec à Montréal se poursuivent sous forme de codirection de recherche au 2^{ème} et 3^{ème} cycles. En particulier, un étudiant de M.Sc.A., Philippe Guénette en stage chez FOCAM Technologies Inc. A conçu un circuit analogique programmable et reconfigurable en BiCMOS, 0,8mm en FPAA (Field Programmable Analog Array). Ce circuit a été fabriqué à la SCM.

Le professeur Jean-Paul Longuemard de l'École Centrale de Paris continue de collaborer dans le domaine des essais non-destructifs qui ont amené un design de processeurs spécialisés en parallèle pour le calcul de la transformée rapide en ondelettes. Des démarches sont en cours avec les Sociétés Prate Design de France et Bioma Recherche Inc. de Montréal sur la conception et réalisation de systèmes microélectroniques et informatiques appliqués à des domaines médicaux et industriels.

Activités du professeur Kaminska

Les activités de recherche de la professeure Bozena Kaminska pour 1996-1997 sont principalement concentrées dans les domaines suivants:

- Technologie d'interconnexion et de commutation à grande vitesse destinée aux réseaux de communication à fibres optiques et optoélectroniques avec une attention plus marquée aux services à large bande. En particulier, elle concentre ses efforts dans les domaines de l'interconnexion optique entre les organes d'entrée et les réseaux à fibres optiques. La conception de circuits à haute vitesse est basée sur des technologies rapides AsGa de la société TriQuint Semiconductors, Oregon. Notre matrice de commutation fabriquée et testée avec une fréquence maximale qui dépasse 3.4 GHz est destinée aux protocoles multiples de communication. Nous avons réalisé également des récepteurs optiques et différentes autres structures à haute vitesse et haute performance. Ces travaux sont réalisés en collaboration avec nos partenaires industriels, NHC Communications, Conseil National de Recherche et OPCOM.
- Test et conception de circuits analogiques et mixtes, analogiques et numériques. Notre but est de développer un ensemble d'outils qui permettent d'intégrer la conception et le test.

Collaboration industrielle

Les partenaires industriels principaux de nos activités sont:

- NHC Communication Inc. et hfOPTEX Inc. Nous travaillons ensemble sur les matrices de commutations ainsi que sur le système optoélectronique.
- OPMAXX Inc. est notre collaborateur dans le domaine du test de circuits analogiques et mixtes.

Le concept de développement aide à la conception axée sur la vérification systématique et la génération de vecteurs de test pour les circuits analogiques et mixtes durant toutes les phases de la conception. Cet ensemble d'outils aide à concevoir des circuits et systèmes analogiques et mixtes facilement testables, "manufacturables" et auto-testables en cas de besoin. Ils peuvent être utilisés pour déterminer l'ensemble minimal de vecteurs de test permettant une couverture de panne maximale. Le projet est constitué de cinq éléments:

- Un outil d'aide à la conception et à l'optimisation des circuits et systèmes microélectroniques utilisant l'analyse de sensibilité.
- Un outil de génération de vecteurs de test pour les circuits analogiques.
- Un outil de génération de vecteurs de test pour les circuits mixtes.
- Un outil d'aide à la conception pour la manufacturabilité intégrant la conception et le test à toutes les phases de production.
- Un outil d'insertion automatique de BIST pour les circuits mixtes.

Activités du professeur Lanctôt

Le professeur Lanctôt agit en tant que représentant de l'École auprès de la Société Canadienne de Microélectronique (SCMC). Il est membre et vice-président du Conseil d'administration de cette société ainsi que de son Comité exécutif. Il a présidé, au cours de 1994, le Comité d'Affectation des Ressources de la SCMC, ainsi que plusieurs autres comités depuis 1989.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Sa recherche porte sur l'application à la photonique des matériaux nouveaux, plus spécialement les semi-conducteurs, pour fabriquer de nouveaux composants. Sa recherche a deux volets: un côté théorique et un côté expérimental. Le volet théorique comprend l'étude de la réponse ultra-rapide des semi-conducteurs, notamment le transport des porteurs de charge à l'aide d'un simulateur Monte Carlo produit dans son laboratoire. Nous travaillons particulièrement à la simulation des lasers DFB. On a aussi développé une banque de programmes pour simuler des composants optoélectroniques: Cette banque comprend: la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Depuis plusieurs années, nous avons eu des collaborations soutenues avec les laboratoires des Technologies Nortel à Ottawa, impliquant entre autre chose, l'embauche d'un de nos étudiants de façon permanente et l'engagement d'un stagiaire pour 8 mois. On sait que ce laboratoire est un des chefs de file dans le domaine de la photonique au niveau mondial. Il serait peut-être bon de rappeler ici que professeur Maciejko, avant de venir à l'École Polytechnique, a été à l'emploi des Recherches Bell Northern à Ottawa pendant 6 ans dont 3 ans comme directeur du laboratoire des Applications des Fibres Optiques au Laboratoire des Technologies de Pointe (Advanced Technology Laboratory). Depuis mars 1997, seulement, nous avons produit 12 publications et comptes rendus de conférence avec des chercheurs de Nortel.

De plus, notre collaboration avec le Dr E Berolo du Centre de Recherche sur les Communications du Canada à Ottawa (CRC) offre des possibilités superbes pour la fabrication. Nous avons identifié les AOS comme un dispositif-clé offrant beaucoup de possibilités pour les futurs systèmes. Parmi les applications possibles des AOS, on peut citer un convertisseur pour les systèmes de multiplexage en longueur d'onde (WDM); c'est ce dernier aspect qui intéresse d'une façon toute particulière les laboratoires CRC. Il y a déjà une collaboration entre le Dr. Berolo du CRC et le professeur Maciejko de l'École Polytechnique pour l'étude et la réalisation d'AOS pour les applications dans le domaine du multiplexage en longueur d'onde. Un étudiant au doctorat a déjà été choisi pour travailler sur ce projet.

Suite à notre subvention stratégique du CRSNG avec les professeurs Leonelli de l'Université de Montréal et Denis Morris de l'Université de Sherbrooke, nous maintenons des rapports étroits avec de dernier. Un de nos étudiants utilise de temps à autre son laboratoire pour faire certaines mesures. Nous avons produit quelques publications ensemble.

Nous avons aussi eu un projet entre notre laboratoire et celui du professeur Claude Alibert de Montpellier, subventionné par le programme France-Québec. Il y a eu plusieurs échanges de stages entre les deux laboratoires.

De par le passé, nous avons eu des professeurs visiteurs, dont le professeur R. Chisleag de Bucarest et le professeur Pierre Tronc de l'ESPCI de Paris (là où les Currie ont découvert le radium). Ce dernier est venu nous visiter régulièrement, presque à chaque année, pour faire des études de luminescence sur des matériaux à puits quantiques. De plus, une de ses étudiantes au doctorat est venue faire un stage de 3 mois au Laboratoire d'optoélectronique. Ces travaux ont mené à 5 publications conjointes.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon sept grandes priorités:

1. la conception VLSI et le test des circuits intégrés numériques et analogiques
2. la conception des systèmes pour l'acquisition, l'analyse et la génération des signaux ainsi que le traitement d'images;
3. les appareillages médicaux et plus particulièrement les micro stimulateurs et capteurs sensoriels implantables et non-implantables;
4. la conception et la réalisation des circuits mixtes (numérique-analogique) et les différentes technologies d'intégration (PCB, SMT, MCM, etc...);
5. les circuits intégrés reprogrammables FPGA (Field Programmable Gate Arrays), FPAD (Field Programmable Analog Devices) FPMA (Field Programmable Mixed-Arrays) et les systèmes reconfigurables.
6. les systèmes ultrasoniques portables;
7. la synthèse de haut niveau des circuits électroniques analogiques et mixtes.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels suivants:

1. la mise au point de fonctions et de systèmes complets servant à des applications industrielles variées;
2. la création des outils de haute performance servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

La plupart de ces outils regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités en sciences et génie. Autrement dit, ce type de projet pluridisciplinaire implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc... Nous nous intéressons présentement à développer un bon nombre de systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la récupération d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés qui est basé sur un modèle de mouvements naturels; un dispositif détecteur de volume d'urine dans la vessie, en se servant d'une technique ultrasonique. Nous nous intéressons au développement d'un circuit non-implantable miniaturisé dédié aux enfants énurétiques; un système de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables; un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions d'estomac, de poumons et de l'EMG à plusieurs niveaux.

Ces systèmes dédiés à des applications médicales doivent être très performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. De plus, et pour répondre aux besoins des applications industrielles, nous élargissons nos activités de recherche et nous nous intéressons à la conception et à la réalisation des fonctions et systèmes analogiques et mixtes. A titre d'exemple, nous développons deux catégories de circuits de conversion analogique à numérique (rapide et à haute précision) qui nécessitent la plupart des fonctions analogiques de base, soit un amplificateur opérationnel à large bande passante et un convertisseur numérique/analogique (DAC), etc. Nous travaillons à la mise au point d'un système de linéarisation des amplificateurs de puissance dédiés aux applications en communication cellulaire et ce système est basé sur un circuit DSP (TMS320C40). Nous proposons des filtres passe-bande reconfigurables et à bande passante très élevée. Des amplificateurs reconfigurables, des préamplificateurs à très faible niveau de bruit et à large bande passante, des PLL (Phase-Lock Loop) à grande plage d'opération et des circuits intégrés mixtes programmables font aussi l'objet de nos travaux de recherche. Nous traitons des circuits en mode courant et en courant commuté. Dans le cadre de l'implant visuel, nous nous intéressons à la réalisation d'un capteur d'image et de traitement complet de l'image reçue, sur la même puce de silicium CMOS. Pour plus de détails sur les différents projets, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport.

Le professeur Sawan est co-fondateur de l'IFESS (International Function Electrical Stimulation Society), membre de l'AUE (Association for Urology and Engineering) et membre de plusieurs comités de programme de conférences nationales et internationales. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolyStim (Laboratoire de neurotechnologie) et coordonnateur de l'enseignement de la microélectronique au département de génie électrique et génie informatique à l'École Polytechnique.

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées à l'équipe durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Achour, Chokri	Ph.D.	J.-L. Houle	J. Davidson
Antaki, Bernard	M.Sc.A.	Y. Savaria	
Assaad, Maher	Ph.D.	M. Sawan	
Balazinski, Bartosz	M.Sc.A.	J.-L. Houle	
Beauchamp -Parent, Alexandre	M.Sc.A.	M. Sawan	
Beaudin, Sylvain	M.Sc.A.	M. Bois	R. Marceau
Belhaouane, Adel	Ph.D.	Y. Savaria	B. Kaminska
Bourret, Sylvain	M.Sc.A.	M. Sawan	R. Plamondon
Boyer, François-Raymond	Ph.D.	M. Aboulhamid	Y. Savaria
Boyer, Stéphane	M.Sc.A.	M. Sawan	
Boygueno Bendé, André	Ph.D.	B. Kaminska	
Brais, Louis-Philippe	M.Sc.A.	M. Sawan	
Calbaza, Dorin-Emil	M.Sc.A.	Y. Savaria	
Campagna, Isabelle	M.Sc.A.	G. Bois	
Cantin, Marc -André	M.Sc.A.	Y. Blaquière	Y. Savaria
Chabini, Nourreddine	M.Sc.A.	M. Aboulhamid	Y. Savaria
Chebli, Robert	M.Sc.A.	M. Sawan	
Contandriopoulos, Nicolas	M.Sc.A.	Y. Savaria	Y. Blaquière
Coulombe, Johathan	M.Sc.A.	M. Sawan	
Cousineau, Cynthia	M.Sc.A.	Y. Savaria	M. Sawan
Crampon, Marie -Agathe	M.Sc.A.	M. Sawan	
Cyr, Geneviève	M.Sc.A.	G. Bois	
Delage Jean-François	M.Sc.A.	M. Sawan	
Deslauriers, Yann	M.Sc.A.	Y. Savaria	
Djebbar, Abderrahmane	M.Sc.A.	G. Bois	
Djemouai, Abdelouahab	Ph.D.	M. Sawan	M. Slamani
Donfack, Colince	M.Sc.A.	Y. Savaria	M. Sawan
Doucet, Frédéric	M.Sc.A.	Y. Savaria	
El-Hassan, Fadi	M.Sc.A.	M. Sawan	Y. Savaria
Fortin, Alexandre	M.Sc.A.	Y. Savaria	M. Sawan
Fouzar, Youcef	Ph.D.	Y. Savaria	M. Sawan
Gadiri, Abdel Karim	Ph.D.	Y. Savaria	
Gagnon, Mathieu	M.Sc.A.	B. Kaminska	
Gagnon, Yves	M.Sc.A.	M. Meunier	Y. Savaria
Granger, Éric	Ph.D.	Y. Savaria	
Güçlü, Alev Devrim	M.Sc.A.	R. Maciejko	
Hamza, Moulay Idriss	M.Sc.A.	M. Sawan	
Harb, Adnan	M.Sc.A.	M. Sawan	
Harvey, Jean-François	M.Sc.A.	M. Sawan	
Hébert, Olivier	M.Sc.A.	Y. Savaria	
Héneault, Yannick	M.Sc.A.	G. Bois	
Hu, Yamu	M.Sc.A.	M. Sawan	J.-J. Brault
Jecklen, Ernesto	Ph.D.	M. Sawan	F. Ghannouchi
Khali, Hakim	Ph.D.	Y. Savaria	J.-L. Houle
Kumar, Padmapriya	M.Sc.A.	Y. Savaria	
Lacourse, Alain	M.Sc.A.	M. Meunier	Y. Savaria
Langlois, Hughes	M.Sc.A.	Y. Savaria	
Le Chapelain, Bertrand	M.Sc.A.	Y. Savaria	G. Bois
Lestrade, Michel	M.Sc.A.	R. Maciejko	
Li, Ran	M.Sc.A.	G. Bois	
Liu, Beisong	M.Sc.A.	M. Sawan	

ÉTUDIANTS AUX CYCLES SUPÉRIEURS (suite)

Michaud, Guy	M.Sc.A.	J.-L. Houle	P. Cohen
Monté-Genest, Ginette	M.Sc.A.	Y. Savaria	
Moujoud, Abderrafia	Ph.D.	R. Maciejko	
Nekili, Mohamed	Ph. D.	Y. Savaria	G. Bois
Nsame, Pascal	Ph.D.	Y. Savaria	
Oudghiri, Houria	Ph.D.	B. Kaminska	
Patenaude, Serge	M.Sc.A.	Y. Savaria	
Petit, Jean-Christophe	M.Sc.A.	M. Sawan	R. Guardo
Poiré, Pascal	M.Sc.A.	Y. Savaria	
Pronovost, Natalie	M.Sc.A.	J.-L. Houle	
Rabel, Claude-Eddy	Ph.D.	M. Sawan	
Rejeb, Chedly	Ph.D.	R. Maciejko	
Richard, Jean-François	M.Sc.A.	Y. Blaquièrre	Y. Savaria
Ridouh, Kamel	M.Sc.A.	G. Bois	
Romain, Luc	M.Sc.A.	M. Sawan	
Roy, Martin	M.Sc.A.	M. Sawan	
Sahraoui, Nadjiba	Ph.D.	G. Bois	
Schneider, Éric	M.Sc.A.	M. Sawan	
Shaditalab, Manoucher	M.Sc.A.	M. Sawan	G. Bois
Sylla, Iboun Tainiya	Ph.D.	B. Kaminska	
Teghbit, Saliha	M.Sc.A.	M. Sawan	
Thériault, Lévis	M.Sc.A.	D. Audet	Y. Savaria
Tremblay, Jean-Marc	M.Sc.A.	Y. Savaria	
Vado, Patrice	M.Sc.A.	Y. Savaria	
Vaillancourt, Pierre	M.Sc.A.	M. Sawan	
Voghell, Jean-Charles	M.Sc.A.	M. Sawan	
Wong, Tony	Ph.D.	J.-L. Houle	
Zhao, Xiaohong	M.Sc.A.	Y. Savaria	

ÉTUDIANTS RÉCEMMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
El Hallabi, Hicham	M.Sc.A.	M. Sawan	
Sellal, Kwheireddine	M.Sc.A.	Y. Savaria	
Tizu, Marius Sorin	M.Sc.A.	M. Sawan	

Titres des projets et diplômes en cours de chaque étudiant

Cette section du document contient une liste de projets avec le nom des personnes concernées. Par la suite, nous fournissons plus de détails sur chacun des projets en insistant sur les réalisations.

Nom de l'étudiant - diplôme en cours - le titre de son projet

<i>Achour, C.</i>	Ph.D.	Architectures parallèles pour la transformée en ondelettes à deux dimensions.
<i>Antaki, B.</i>	M.Sc.A.	Outil d'étude des comportements de circuits logiques CML lorsqu'en présence de différents défauts et conception de détecteurs pour augmenter leur testabilité.
<i>Assaad, M.</i>	Ph.D.	Conception en CMOS d'un système de recouvrement d'horloge/données du signal vidéo (HDTV) transmis par câble.
<i>Balazinski, B.</i>	M.Sc.A.	Événements asynchrones générés par un commutateur numérique utilisé en téléphonie mobile.
<i>Beauchamp-Parent, A.</i>	M.Sc.A.	Conception et réalisation d'une alarme de conditionnement ultrasonore reconfigurable dédiée au traitement de l'énurésie nocturne.
<i>Beaudin, S.</i>	M.Sc.A.	Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.
<i>Belhaouane, A.</i>	Ph.D.	Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.
<i>Bourret, S.</i>	M.Sc.A.	Proposition d'une stratégie de stimulation neuro-musculaire uniarticulaire en boucle ouverte et mise au point d'un étage de sortie pour microstimulateur intégré.
<i>Boyer, F.-R.,</i>	Ph.D.	Optimisation lors de la synthèse de circuits à partir de langages de haut niveau.
<i>Boyer, S.</i>	M.Sc.A.	Nouvel implant urinaire dédié à la stimulation neurale sélective.
<i>Boyogueno Bendé, A.</i>	Ph.D.	Techniques de conception et testabilité des circuits intégrés optoélectroniques en GaAs, application aux communications optiques.
<i>Brais, L.-P.</i>	M.Sc.A.	Égalisateur adaptatif numérique haute performance pour signaux QAM.
<i>Calbaza, D.-E.</i>	M.Sc.A.	Conception des circuits de synthèse d'horloge avec des accumulateurs de phase.
<i>Campagna, I.</i>	M.Sc.A.	Une méthode de codesign logiciel/matériel pour la conception de modems haute performance.
<i>Cantin, M.A.</i>	Ph.D.	Conversion matérielle automatique d'algorithmes appliqués au domaine de l'analyse et du traitement de signaux radars.
<i>Chabini, N.-E.</i>	Ph.D.	Méthodes algorithmiques pour l'analyse et la conception de systèmes informatiques de haute performance.
<i>Chebli, R.,</i>	M.Sc.A.	Conception d'un appareil échographique, portable, fonctionnant en temps réel avec sonde mécanique à balayage sectoriel.
<i>Contandriopoulos, N.,</i>	M.Sc.A.	Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.
<i>Coulombe, J.,</i>	M.Sc.A.	Capteur d'images CMOS dédié à un implant visuel.
<i>Cousineau, C.</i>	M.Sc.A.	Conception et mise en œuvre d'un système de reconfiguration dynamique.
<i>Crampon, M.-A.</i>	M.Sc.A.	Réalisation d'une électrode de stimulation nerveuse basée sur une armature en alliage à mémoire de forme.
<i>Cyr, G,</i>	M.Sc.A.	Synthèse des communications dans un système embarqué hétérogène.
<i>Delage, J.-F.,</i>	M.Sc.A.	Réalisation d'un lien RF à modulation numérique destiné aux applications à tagging.

Titres des projets et diplômes en cours de chaque étudiant (suite)

<i>Deslauriers, Y.</i>	M.Sc.A.	Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo.
<i>Djebbar, A.</i>	M.Sc.A.	Conception et implémentation d'un décodeur Reed-Solomon sur FPGA.
<i>Djemouai, A.</i>	Ph.D.	Interface transcutanée bidirectionnelle dédiée aux implants neuro-musculaires.
<i>Donfack, C.</i>	M.Sc.A.	Caractérisation de contacts électrodes-tissus de stimulateurs neuromusculaires implantables.
<i>Doucet, F.</i>	M.Sc.A.	Nouveaux outils CAO pour l'analyse et la conception de systèmes logiciel/matériel dédiés.
<i>El-Hassan, F.</i>	M.Sc.A.	Implantation du décodeur de Viterbi sur FPGA de Xilinx.
<i>Fortin, A.,</i>	M.Sc.A.	Modifications d'un chemin de données pour l'utilisation dans un modèle reconfigurable.
<i>Fouzar, Y.</i>	Ph.D.	Conception de circuits intégrés CMOS très rapides dédiés à des interfaces de communication.
<i>Gadiri, A.</i>	Ph.D.	Échantillonnage parallèle multi seuils, théorie et applications.
<i>Gagnon, M.,</i>	M.Sc.A.	Conception d'un récepteur optique en CMOS.
<i>Gagnon, Y.</i>	M.Sc.A.	Restructuration pour faisceau laser des circuits intégrés VLSI.
<i>Granger, É.</i>	Ph.D.	Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.
<i>Güçlü, A.D.</i>	M.Sc.A.	Étude théorique des dispositifs à puits quantiques par la méthode Monte Carlo.
<i>**Hamza, M.-I.,</i>	M.Sc.A.	Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leur voies neuronales.
<i>Harb, A.</i>	Ph.D.	
<i>Harvey, J.-F.</i>	Ph.D.	Intégration d'un contrôle externe dédié à un implant visuel.
<i>Hébert, O.</i>	M.Sc.A.	Synthèse de processeurs embarqués dédiés.
<i>Héneault, Y.,</i>	M.Sc.A.	Picasso: Un outil de co-design logiciel/matériel pour la synthèse de systèmes embarqués.
<i>Hu, Y.,</i>	M.Sc.A.	Réduction de bruit 1/f d'un préamplificateur CMOS.
<i>**Jecklen, E.,</i>	Ph.D.	Technique de linéarisation numérique des amplificateurs de puissance.
<i>Khali, H.</i>	Ph.D.	Algorithmes et architectures spécialisés pour un système optique autosynchronisé à précision accrue.
<i>Kumar, P.,</i>	M.Sc.A.	Méthodes de conception pour la testabilité pour les circuits CML bipolaires.
<i>Lacourse, A.,</i>	M.Sc.A.	Étude de la fiabilité des résistances diffusées par laser et fabrication de résistances à coefficient thermique constant.
<i>Langlois, H.,</i>	M.Sc.A.	Conception de circuits analogiques de base tirant avantage de résistances ajustables ayant une très grande précision.
<i>Le Chapelain, B.</i>	M.Sc.A.	Développement d'une bibliothèque TSPC de haute performance et conception de gros blocs logiques TSPC (Convolueur 3*3).
<i>Lestrade, M.</i>	M.Sc.A.	Caractérisation de diodes lasers par des mesures en champ proche.
<i>**Li, R.</i>	M.Sc.A.	Estimateurs de performance pour contrôleurs embarqués de haute performance.
<i>**Liu, B.,</i>	M.Sc.A.	Génération de vues par ondelettes.
<i>Michaud, G.</i>	M.Sc.A.	
<i>Monté-Genest, G.,</i>	M.Sc.A.	Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.
<i>Moujoud, A.</i>	Ph.D.	Échantillonnage électro-optique.
<i>Nekili, M.</i>	Ph.D.	Synthèse de réseaux de distribution d'horloge en présence de variations des procédés de fabrication.
<i>Nsame, P.</i>	Ph.D.	Techniques et méthodes de conception des systèmes intégrés.

Titres des projets et diplômes en cours de chaque étudiant (suite)

<i>Oudghiri, H.</i>	Ph.D.	Algorithme de partitionnement hardware/software au niveau système.
<i>Patenaude, S.</i>	M.Sc.A.	Modélisation des pannes dans les circuits numériques rapides réalisés en technologie bipolaire ECL et CML.
<i>Petit, J.-C.,</i>	M.Sc.A.	Réalisation de microélectrodes active en microélectronique pour la Tomographie d'Impédance Électrique (TIE).
<i>Poiré, P.</i>	M.Sc.A.	Conception d'un système de post traitement vidéo pour un corrélateur optique.
<i>Pronovost, N.</i>	M.Sc.A.	Système géomatique pour la télésurveillance d'un réseau de câblo-distribution.
<i>**Rabel, C.-E.</i>	Ph.D.	Conception et réalisation d'un FPMA («Field Programmable Mixed-Signal (Digital-Analog) Array»).
<i>Rejeb, C.</i>	Ph.D.	Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.
<i>Richard, J.-F.,</i>	M.Sc.A.	Méthodes de conception automatique de circuits haute performance.
<i>Ridouh, K.</i>	M.Sc.A.	
<i>Romain, L.</i>	M.Sc.A.	Conception et optimisation d'un cathéter servant à mesurer la pression trans-diaphragmatique et l'activité électrique du diaphragme.
<i>Roy, M.</i>	M.Sc.A.	Conception et réalisation de la partie implantable d'un stimulateur visuel cortical.
<i>Sahraoui, N.</i>	Ph.D.	Optimisation de boucles multidimensionnelles pour la synthèse de haut niveau.
<i>Schneider, E.</i>	M.Sc.A.	Conception de circuits mixtes dédiés à la réalisation de microstimulateurs et capteurs implantables.
<i>**Sellal, K.,</i>	M.Sc.A.	Conception d'une transformée rapide de Fourier (TRF) reconfigurable basée sur une architecture parallèle et pipelinée.
<i>Shaditalab, M.</i>	M.Sc.A.	
<i>Sylla, I.T.</i>	Ph.D.	Analyse de la testabilité des circuits RF.
<i>**Teghbit, S.</i>	M.Sc.A.	Conception d'un système de surveillance du syndrome de la mort subite chez le nourrisson.
<i>Thériault, L.</i>	M.Sc.A.	Développement d'estimateurs de performance pour des applications de co-design logiciel/matériel.
<i>**Tizu, M.-S.,</i>	M.Sc.A.	Conception d'un circuit de conversion de protocoles réseaux haute vitesse.
<i>Tremblay, J.-M.,</i>	M.Sc.A.	
<i>Vado, P.</i>	M.Sc.A.	Conception d'un outil basé sur la méthode dite de mutation permettant la validation de circuits VLSI.
<i>**Vaillancourt, P.</i>	M.Sc.A.	Étude de la propagation des ondes électromagnétiques d'un lien à fréquence-radio de transfert d'énergie dédié à un implant de stimulation du cortex visuel.
<i>Voghell, J.C.</i>	M.Sc.A.	Réalisation de filtres analogiques Gm-C configurables dans les circuits intégrés.
<i>**Wong, T.</i>	Ph.D.	Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.
<i>Zhao, X.</i>	M.Sc.A.	Conception et implémentation d'un convolveur 2-D sur FPGA.

Description détaillée des projets d'étudiants

ACHOUR, Chokri

DIPLÔME: Ph.D.

TITRE:

Architectures parallèles pour la transformée en ondelettes à deux dimensions.

RÉSUMÉ:

La compression d'images par ondelettes (CIO) est un outil puissant pour plusieurs applications où la compression par transformée en cosinus discrète (TCD) est limitée. Par l'utilisation d'une architecture VLSI, l'algorithme de compression d'images par ondelettes peut être mis en œuvre en un circuit ASIC plus facilement que ceux utilisés par la transformée en cosinus discrète.

PROBLÉMATIQUE:

Dans le domaine de compression d'images numériques en temps réel, on utilise généralement la transformée en cosinus discrète (TCD). Cependant, cette méthode présente certains inconvénients, d'une part, elle requiert un certain nombre d'opérations mathématiques de l'ordre de $(N \times N)$ multiplications, d'autre part, elle a besoin d'un volume de mémoire assez grand. Une représentation qui tient compte de ces limites est celle de la transformée en ondelettes à deux dimensions (TO-2D). Cette dernière offre plusieurs avantages ; un ratio élevé de compression, une excellente qualité d'image et une méthode de décompression progressive.

L'objectif principal de ce mémoire est de concevoir un processeur spécialisé pour la TO-2D à partir de la transformée en ondelettes de base et en utilisant une architecture parallèle de processeurs élémentaires. Les résultats fournis par le processeur sont des coefficients d'ondelettes qui vont servir à la compression d'image. La conception de cette architecture VLSI (Very Large Scale Integration) spécialisée pour la TO-2D permet de rendre parallèle autant que possible les calculs de l'algorithme de la TO-2D, afin d'augmenter la vitesse de traitement.

MÉTHODOLOGIE:

Les étapes nécessaires à la réalisation d'un circuit VLSI pour la TO-2D sont les suivantes:

- Étude de l'algorithme de la TO-2D. Des simulations sont effectuées pour déterminer les éléments pertinents à la réalisation de l'architecture interne du processeur (multiplieurs, additionneurs, registres).
- Modélisation des blocs principaux du processeur. Cette étape permet la réalisation de l'architecture du processeur en tenant compte, dans un premier temps, de son mode de fonctionnement et, dans un deuxième temps, du rapport vitesse-surface. La modélisation sera réalisée à l'aide du langage VHDL (Very High Speed Integrated Circuits Hardware Description Language)
- Développer des architectures au niveau des circuits intégrés monolithiques pour la mise en œuvre d'une TO-2D basé sur des structures parallèles de processeurs élémentaires.

RÉSULTATS:

Une architecture VLSI de la CIO a été simulée à l'aide de quatre processeurs élémentaires (PE) avec des signaux de 16 bits. Chaque PE est une unité de traitement indépendante qui calcule une convolution entre les échantillons du signal et une ondelette analysante. Le résultat de chaque PE, coefficients de l'ondelette, est envoyé vers un bus de sortie de 32 bits. Un modèle réduit de l'architecture de la CIO comprenant deux PE de 8 bits a été mis en œuvre dans le FPGA de Xilinx-XC4010.

Titre:

Outil d'étude des comportements de circuits logiques CML lorsqu'en présence de différents défauts et conception de détecteurs pour augmenter leur testabilité.

RÉSUMÉ:

La première étape consiste à caractériser une librairie de cellules CML (Current-Mode-Logic) pour identifier les pannes possibles (comportements anormaux) ainsi que leur fréquence d'occurrence. La seconde étape consiste à trouver des méthodes intégrées de détection de pannes pour obtenir une bonne couverture de pannes tout en occupant une proportion acceptable de la surface d'une puce. La dernière étape propose une librairie de cellules améliorées pour la testabilité de la technologie étudiée. Deux stages de 4 mois en entreprise ont fait parti du projet, permettant d'avoir accès aux données industrielles nécessaires pour étoffer les recherches. Ce travail a été fait grâce à une collaboration étroite avec Serge Patenaude.

PROBLÉMATIQUE:

Bien que les circuits ECL (très similaires au CML) soient connus depuis longtemps, l'intérêt de les utiliser dans les circuits VLSI n'est survenu que récemment (10 dernières années). Auparavant, les courants de polarisation des cellules étaient non négligeables à grande échelle, demandant une dissipation de puissance impossible à obtenir. Toutefois, avec la miniaturisation des transistors, ces courants se sont réduits. Ainsi, des fréquences au-delà du GHz sont accessibles. Toutefois, les techniques de test ne sont pas encore mûres pour cette technologie. Quelques auteurs ont tenté d'appliquer des méthodes utilisées en CMOS, mais ont observé une faible couverture de pannes pour ces architectures, basées que sur des transistors bipolaires.

MÉTHODOLOGIE:

En se basant sur les problèmes rencontrés par certains auteurs pour détecter des pannes dans les circuits ECL, des outils de caractérisation des cellules ont été développés. Ceux-ci se basent sur des extraits de dessins de masques générés par l'outil Cadence pour ensuite simuler les circuits en présence de défaut avec Spectre™. Par la suite, une étude probabiliste est appliquée aux résultats pour estimer l'importance de certains types de pannes pour cette technologie. En identifiant les pannes les plus probables et qui somme toute donne une meilleure couverture des pannes possibles, nous pourrions établir et construire des méthodes de tests pratiques et efficaces pour combler le manque dans les techniques actuelles.

En parallèle à la conception de ces outils, une étude simplifiée des comportements des portes en présence de certains défauts nous ont montré qu'une certaine classe de panne revenait souvent. Sachant ceci, un premier détecteur a été développé et est en instance d'être breveté.

RÉSULTATS:

Une recherche bibliographique a été faite et un ensemble de pannes typiques a été assemblé. Des outils flexibles de caractérisation de pannes ont été développés et sont prêts à être utilisés. Leur flexibilité permettra de vérifier facilement de nouveaux détecteurs, leur couverture de pannes et l'apport que ceux-ci apportent vis-à-vis d'autres méthodes de détection.

Nous avons aussi développer de nouvelles techniques de test et de détecteurs adaptés. Nous travaillons à l'intégration des éléments proposés dans une technologie commerciale ayant une couverture de pannes satisfaisant les normes industrielles.

TITRE :

Conception en CMOS d'un système de recouvrement d'horloge/données du signal vidéo (HDTV) transmis par câble.

RÉSUMÉ :

Mon projet consiste à concevoir et réaliser un système de recouvrement d'horloge/données du signal vidéo (HDTV) transmis par câble à très haut débit (1.5 G bits/Sec.) Ce système est la partie principale et essentielle d'un récepteur du signal vidéo et qui devrait être conçu et réalisé complètement en technologie CMOS.

PROBLÉMATIQUE :

Il est bien connu que la transmission des données par câble et fibre optique introduit des phénomènes indésirés qui peuvent déformer le signal, comme par exemple, le phénomène d'interférence intersymboles (ISI), le phénomène d'atténuation du signal et l'effet de peau (skin effect), ces deux derniers sont dus aux propriétés physiques du milieu. Donc, le signal reçu au récepteur est différent du signal envoyé par le transmetteur (voire même méconnaissable). Pour compenser les pertes dues aux câbles, on utilise normalement un égaliseur, mais le défi est d'extraire à partir du signal déformé reçu les données et l'horloge aux fréquences auxquelles les données sont envoyées.

MÉTHODOLOGIE :

Les circuits qui fonctionnent à un débit élevé de 1 G bits/sec. et plus, sont souvent réalisés avec des technologies coûteuses comme par exemple : le GaAs, le bipolaire et le BiCMOS. Ce que nous proposons est de réaliser le même type de circuit, mais avec la technologie CMOS, qui est moins coûteuse. Il y a plusieurs méthodes pour réaliser notre système, mais probablement notre approche est d'utiliser un système à verrouillage de phase (PLL).

On procédera de la façon suivante :

- Faire un design schématique de notre système basé sur un PLL;
- Faire des simulations sur Spectre du design schématique conçu pour enfin arriver à optimiser les paramètres de ce design pour répondre à nos spécifications;
- Une fois que les paramètres du circuit sont optimisés, on commence la réalisation au niveau masque.

RÉSULTATS :

- Design au niveau schématique du système d'extraction d'horloge et de données.
- Design au niveau Layout en technologie CMOS35 du PLL qui fonctionne à 1.5 GHz.

TITRE :

Événements asynchrones générés par un commutateur numérique utilisé en téléphonie mobile.

RÉSUMÉ :

Le projet de recherche consiste à concevoir et à prototyper un système d'acquisition d'événements asynchrones générés par un commutateur numérique, de type AXE-10 de Ericsson, utilisé en téléphonie mobile. Chaque événement est généré par un module (appelé « bloc ») du logiciel de contrôle. Les séquences de ces événements pour chaque appel téléphonique (appelés « chaînes d'appels ») reflètent directement l'architecture et le fonctionnement du logiciel de contrôle. Cependant, d'une part, les événements individuels ne constituent qu'une faible source d'information. Ils doivent être corrélés en chaînes d'appels afin d'obtenir des informations de valeur. D'autre part, la quantité importante de données (environ 800 événements/seconde) rend les analyses très difficiles et nécessite un échantillonnage des chaînes d'appels. C'est pourquoi, le système d'acquisition devra être composé de quatre éléments s'exécutant en temps réel. Premièrement, une interface (protocole basé sur TCP/IP) devra permettre de transférer les événements à partir du commutateur. Ensuite, un décodeur permettra de transformer les événements reçus en structures de données. Puis, ces structures de données seront corrélés en chaînes d'appels en utilisant des algorithmes d'analyse grammaticale. Finalement, les chaînes d'appels seront échantillonnées selon des critères précis pour être stockées dans une base de données.

PROBLÉMATIQUE :

La première étape consiste à obtenir une copie des signaux (événements). Pour ce faire, il faut transférer leur contenu dans des signaux appelés combinés. Ceux-ci ont la propriété d'être envoyés directement d'un bloc à l'autre sans passer par les espaces tampons. Ils sont donc très efficaces. Ainsi formés, les signaux combinés sont envoyés au bloc d'acquisition. Au sein de ce dernier, il sont copiés dans un espace tampon et quand celui-ci est plein son contenu est envoyé à travers une interface réseau vers le système d'acquisition.

Afin d'être capable d'effectuer un traitement quelconque sur les événements il faut, d'abord, les décoder, ou plutôt, les transformer du format utilisé par le commutateur numérique en format compatible avec la station de travail. Comme le logiciel de contrôle ne cesse d'évoluer (cycles d'environ 12 mois) et donc les formats d'événements changent.

Afin d'obtenir de l'information de valeur il faut reconstituer les chaînes d'appels en corrélant les événements d'un même appel téléphonique. Comme il a été précisé dans l'introduction, les chaînes d'événements représentent le fonctionnement du réseau. Donc la séquence des événements dans une chaîne d'appel n'est pas aléatoire mais elle respecte l'agencement des blocs.

MÉTHODOLOGIE :

Des techniques de modélisation et de simulation seront utilisées puis vérifiées sur des réseaux réels de téléphonie cellulaire à partir des fichiers de données acquis lors des expériences antérieures.

RÉSULTATS :

Actuellement, l'auteur a terminé le décodeur, le module de corrélation par appel et l'engin de corrélation. Il ne reste plus qu'à terminer le module de génération automatique de code pour la corrélation des événements asynchrones.

TITRE:

Conception et réalisation d'une alarme de conditionnement ultrasonore reconfigurable dédiée au traitement de l'énurésie nocturne.

RÉSUMÉ:

Ce projet de maîtrise consiste à développer une alarme de conditionnement ultrasonore dédiée au traitement de l'incontinence nocturne des enfants. Ce dispositif miniature estime, de manière non-invasive, le volume vésical d'un enfant afin de le réveiller avant la miction. Ce dispositif possède une architecture reconfigurable qui permet à l'utilisateur de modifier la profondeur vésicale critique selon la morphologie de l'enfant.

PROBLÉMATIQUE:

Au Canada, plus de 300 000 enfants souffrent d'énurésie nocturne. Actuellement, la thérapie la plus fréquemment prescrite par les urologues emploie une alarme de conditionnement qui réveille l'enfant au début de la miction. En effet, ces appareils utilisent des électrodes pour détecter l'humidité dans le sous-vêtement de l'enfant afin de déclencher une alarme qui le conditionne à se réveiller dès qu'il commence à uriner. Cette thérapie est considérée la meilleure puisqu'elle est la seule à offrir une guérison durable, soit lorsque la thérapie est cessée.

MÉTHODOLOGIE:

Afin d'estimer le volume vésical, nous utiliserons un cristal ultrasonore excité dans le mode pulse/écho. Ce cristal placé sur l'abdomen de l'enfant, permettra de mesurer la profondeur de la vessie afin de déclencher l'alarme au moment où elle atteint un volume critique. Afin de pouvoir estimer la profondeur de la vessie, nous utiliserons un contrôleur qui évaluera le temps écoulé entre l'excitation du cristal et la réception d'un écho. Le contrôleur commande un émetteur et un récepteur. L'émetteur, chargé d'exciter le cristal, est formé d'un convertisseur DC/DC haut voltage et d'un générateur d'impulsions ultra-rapide. Quant au récepteur chargé de traiter les échos, il est composé d'un étage d'amplification, d'un détecteur d'enveloppe et d'un détecteur d'échos. Le contrôleur qui effectue le traitement numérique des échos détectés déclenche l'alarme lorsque la distance évaluée est supérieure au seuil programmé.

RÉSULTATS:

Le dispositif fut réalisé afin de valider son fonctionnement. Une interface utilisateur fut conçue afin d'ajuster facilement le seuil de détection à la morphologie vésicale de l'enfant au moment de la miction. En outre, le concepteur développa les programmes requis pour démontrer la justesse des résultats obtenus à l'aide d'un écran à cristaux liquides. Le dispositif portable est alimenté par une pile de 9V. Maintenant que le dispositif fut validé sur un milieu de propagation avec atténuation, nous débiterons incessamment les tests cliniques sur des enfants de l'Hôpital Général de Montréal pour Enfants.

TITRE:

Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.

RÉSUMÉ:

L'objet de la présente recherche consiste à exploiter le parallélisme de la technologie PULSE (SIMD), doté de multiples processeurs élémentaires, pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique et d'en valider le concept. En particulier, on vise la réalisation d'un prototype de simulateur rapide qui pourrait évidemment conduire à une technologie de commande de processus en temps réel.

PROBLÉMATIQUE:

À cause de considérations économiques et environnementales, ainsi que de nouvelles opportunités de vente et d'achat d'électricité dans un marché de plus en plus déréglementé, il devient nécessaire pour l'industrie du transport d'énergie d'optimiser les capacités de transits. Présentement la détermination des limites de transits se fait généralement en temps différé, avec comme seul exercice d'assurer la gestion de l'exploitation et de la planification, et ce, principalement à cause des limitations des calculateurs numériques actuels.

Alors, la nécessité d'augmenter les transits de puissance sur les corridors oblige aujourd'hui les compagnies d'électricité à avoir recours à des stratégies d'exploitation de plus en plus complexes. Il est donc devenu important d'introduire la détermination de ces capacités de transit dans l'environnement des centres de commande des réseaux. De plus, le développement d'une technologie de simulation beaucoup plus rapide que la réalité pourrait évidemment conduire à une technologie de commande de processus en temps réel.

MÉTHODOLOGIE:

- Analyse des besoins:
 - Étude des algorithmes existants et identification des parties critiques à la performance du système.
- Développement d'un système de simulation:
 - Parallélisation et optimisation de la technique de simulation employée
- Implémentation sur MATLAB:
 - Validation du système proposé au moyen d'un réseau simple de transport d'énergie à 9 barres.
- Implémentation sur PULSE (modèle SIMD).
 - Validation du système proposé sur le simulateur PULSE avec le réseau de transport d'énergie à 9 barres.
- Analyse de performance et optimisation
 - Comparaisons de performances entre les modèles SIMD et SISD.

RÉSULTATS:

À ce jour, une solution numérique entièrement matricielle a été développée pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique. Conjointement, une technique rapide de multiplication/addition matrice/vecteur fut également élaborée pour la technologie PULSE (SIMD).

Enfin, la validation et la performance du concept ont pu être établies sur le simulateur PULSE au moyen d'une simulation de 600 pas en stabilité transitoire, pour le réseau proposé de transport d'énergie électrique à 9 barres, avec un temps d'exécution moyen de 20 ms.

Un article intitulé "An Economic Parallel Processing Technology for Faster than Real-Time Transient Stability Simulation" a été proposé pour publication.

TITRE:

Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.

RÉSUMÉ:

Cette recherche porte principalement sur une classe particulière d'échantillonneurs entrelacés que l'on nomme échantillonneurs parallèles. Il s'agit de trouver une méthode de reconstitution qui minimise l'erreur introduite par la non-uniformité ainsi que celle introduite par le nombre fini d'échantillons décrivant le signal. Pour arriver à reconstruire précisément le signal capturé par un échantillonneur parallèle, il est aussi nécessaire de modéliser et de corriger les imperfections des échantillonneurs bloqueurs qu'il comporte.

PROBLÉMATIQUE:

La reconstitution d'un signal à partir de ses échantillons est un problème classique en théorie du signal. Les échantillonneurs rapides sont souvent réalisés à partir d'un décalage, dans le temps, de plusieurs échantillonneurs à vitesse moyenne. Cette technique, connue sous le nom d'échantillonnage entrelacé, augmente considérablement la vitesse, par contre, elle introduit une erreur significative dans les instants d'échantillonnage. De plus, on dispose souvent d'un nombre fini d'échantillons. Par conséquent, on est souvent confronté au problème de la reconstitution d'un signal à partir d'un nombre fini d'échantillons non-uniformes.

Un ensemble de difficultés prévisible découle du caractère aléatoire et des interactions entre les divers mécanismes qui introduisent des erreurs et des distorsions. Ce travail cherche à reconstruire des signaux fortement corrompus obtenus de technologies de pointes poussées à leurs limites. De plus, les algorithmes de reconstitution à développer opèrent souvent près des limites fondamentales prédites par la théorie du traitement des signaux.

MÉTHODOLOGIE:

Ce travail de recherche comprendra les points suivants :

- Recherche bibliographique pour estimer l'état actuel des recherches et nous positionner par rapport à d'autres résultats de travaux de recherche;
- Développement d'un algorithme de reconstitution d'un signal à partir de ses échantillons;
- Compensation d'une erreur d'échantillonnage déterministe et prévisible;
- Compensation d'une erreur d'échantillonnage aléatoire et prévisible;
- Modélisation de la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonction de transfert;
- Tirer avantage de la périodicité de l'erreur produite par l'échantillonnage parallèle.

RÉSULTATS:

La principale contribution de notre travail est de modéliser un échantillonneur ultra rapide. Cette modélisation implique la caractérisation de l'échantillonneur, l'étude de ses imperfections et les corrections possibles que l'on puisse apporter pour améliorer sa performance et les limites de correction. De ce fait, nous avons montré qu'une reconstitution exacte est possible, et ce même en présence d'échantillons non uniformes. Les résultats montrent que pour certaines catégories de défauts, le signal peut être reconstitué exactement et, pour le reste une amélioration est possible. Nous avons entre autres établi un rapport entre la qualité de reconstruction et le produit amplitude-fréquence de la déviation.

TITRE:

Proposition d'une stratégie de stimulation neuro-musculaire uniarticulaire en boucle ouverte et mise au point d'un étage de sortie pour microstimulateur intégré.

RÉSUMÉ:

Le projet consiste à développer une stratégie de stimulation pour les membres supérieurs (épaule, bras, avant-bras). Cette stratégie sera utilisée dans un microstimulateur implantable. Elle devrait permettre de rétablir un mouvement fonctionnel et humanoïde chez les tétraplégiques ayant subi des lésions au niveau de la moelle épinière.

PROBLÉMATIQUE:

La commande de mouvements à partir de microstimulateurs implantables est extrêmement complexe. Les réactions des muscles aux différentes stimulations sont mal connues (le modèle du muscle est loin d'être au point), les résultats de la stimulation d'un seul complexe nerveux touchent plusieurs muscles et la coordination entre les différents muscles pour effectuer un mouvement donné est inconnue.

MÉTHODOLOGIE:

Le présent projet tente de résoudre le problème de la coordination entre les muscles. Dans un premier temps, un modèle de bras (MATLAB) sera utilisé afin de déterminer l'importance de divers paramètres sur le mouvement. Une fois cette étude complétée, une série d'expériences sera effectuée sur des sujets réels afin de valider les résultats de simulation. De plus, les expériences devraient emmener une donnée supplémentaire, l'EMG. C'est cette dernière donnée qui devrait permettre l'établissement de la stratégie de stimulation finale.

RÉSULTATS:

Une source de courant commandable permettant d'effectuer une stimulation neuromusculaire a été développée. Cette dernière, réalisée en technologie BiCMOS 0.8um, peut fournir un courant de 4 mA à une charge de 1kohm soit l'impédance caractéristique d'un nerf.

Les premiers résultats de simulation nous permettent de croire qu'il existe des liens étroits entre le niveau d'activité des muscles et des paramètres précis définissant le mouvement. Nous pensons aussi pouvoir mettre au point sous peu une première ébauche de stratégie de stimulation.

TITRE :

Optimisation lors de la synthèse de circuits à partir de langages de haut niveau.

RÉSUMÉ :

L'objectif est de développer différentes techniques visant à maximiser la vitesse à laquelle un circuit peut traiter des données. Certaines optimisations, présentement faites entièrement à la main en utilisant des langages de bas niveau pour décrire les circuits, pourraient être faits automatiquement ou avec des outils dirigés par le concepteur.

PROBLÉMATIQUE :

En général, dans les circuits contrôlés par une seule phase d'horloge, à certains endroits, du temps est tenu à attendre le prochain cycle, même sur le chemin critique. Ceci vient du fait que les temps de calcul entre chaque registre n'est pas le même. Le retiming tente de diminuer ce problème mais se contraint toujours à avoir une seule phase d'horloge, ce qui l'empêche d'atteindre l'optimal. A la place, un circuit multi-phases pourrait être fait avec un genre de retiming multi-phases, en utilisant des horloges qui arrivent toujours exactement au bon moment. Dans ce cas, il faut trouver les phases nécessaires et le circuit équivalent au circuit original mais contrôlé de manière très précise par ces différentes phases. Alors, le problème de la génération des horloges se pose, ainsi que les variations sur les temps d'arrivées de celles-ci.

La logique pourrait aussi être optimisée. Présentement, il existe des méthodes de resynthèse, qui réorganisent la logique combinatoire entre les registres, pour réduire le temps de calcul. Ces techniques ont le problème de ne pas passer par-dessus les registres pour optimiser le circuit de manière plus globale, et la logique optimisée n'est pas nécessairement sur le chemin critique.

MÉTHODOLOGIE :

Les points suivants sont travaillés :

- Une alternative au retiming, multi-phases, qui trouve les phases permettant un débit optimal;
- Une bonne caractérisation du délai dans les circuits, qui ne donne pas de faux chemin critique;
- Minimiser les effets des variations sur les temps d'arrivées de l'horloge;
- Une technique de resynthèse ciblant le chemin critique et passant par-dessus les registres, qui fonctionnent sur nos circuits multi-phases;
- Adapter ces techniques, si nécessaire, pour faire du wave-pipelining automatiquement.

RÉSULTATS :

Une alternative au retiming a été trouvée, donnant le débit maximal sans contrainte sur le nombre de phases. Aussi un algorithme remplace les registres par des latches (activés sur le niveau de l'horloge), de manière à réduire la taille et diminuer la demande en précision sur l'horloge.

TITRE :

Nouvel implant urinaire dédié à la stimulation neurale sélective.

RÉSUMÉ :

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE :

En utilisant un stimulateur neuro-musculaire miniaturisé implantable et un contrôleur externe, on excite le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter pour évacuer l'urine. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE :

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neuro-stimulation tout en étant simple d'utilisation pour l'utilisateur. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, les paramètres sont transmis par le contrôleur à l'implant qui s'assure de leur validité par des algorithmes de détection d'erreurs. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres désirés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite isolé dans un produit bio-compatible. Une électrode spéciale est utilisée au niveau du nerf et des connecteurs étanches de notre conception sont utilisés pour relier l'électrode à l'implant.

RÉSULTATS :

Notre système est totalement fonctionnel et il est à l'essai en ce moment au département d'urologie de l'Université McGill. Nous avons aussi conçu la partie de contrôle et de génération des stimulus sur un circuit intégré en technologie CMOS 0.35 micron. Ce circuit est en fabrication par l'entremise de la Société Canadienne de Microélectronique.

TITRE:

Technique de conception et testabilité des circuits intégrés optoélectroniques en GaAs, application aux communications optiques.

RÉSUMÉ:

Dans cette thèse nous abordons les limitations de système liées au bruit d'entrée du récepteur, au produit gain-bande-passante à l'interface optoélectronique de réception et la caractérisation aux hautes fréquences de même que la testabilité des circuits conçus. Nous proposons des techniques de conception basées sur certaines propriétés de la configuration à transimpédance pour améliorer les performances de l'étage de réception dans un système de transmission par fibre optique.

PROBLÉMATIQUE:

Avec le développement et la mise en œuvre de nouvelles technologies de l'information, les équipements de transmission et de réception sont de nos jours appelés à fonctionner à des débits de plus en plus élevés. Ces applications nécessitent des techniques de transmission à haut débit et par conséquent, une demande accrue en bande passante.

Notre recherche est axée sur la formulation de nouvelles méthodes de conception d'une classe d'amplificateurs à transimpédance à faible bruit et à large bande en GaAs dont l'entrée est insensible aux variations de la charge capacitive d'entrée. Nous développons un modèle simple de sensibilité du récepteur incorporant des statistiques du photodétecteur permettant une analyse efficace des performances générales du photorécepteur de même que l'impact des diverses dégradations sur la performance du système de transmission. Enfin, nous allons proposer une architecture de circuits de décision adaptée au fonctionnement sans biais à grands débits permettant d'améliorer la gamme dynamique du photorécepteur et le rapport signal sur bruit (SNR).

MÉTHODOLOGIE:

- Choix d'une architecture appropriée et simulation sur Pspice afin de caractériser et optimiser les différents blocs;
- Développement d'un prototype en technologie GaAs 0.6 microns, réalisant la réception, le traitement optique et la transmission de 4 canaux de transmission utilisant une matrice d'interconnexion optique 4 x 4;
- Extension du design à des architectures plus denses;
- Réalisation des dessins de masques avec "Cadence" fabrication du circuit intégré et test de l'architecture définitive.

RÉSULTATS:

Trois types de configuration à transimpédance ont été proposées et publiées. Extension du design pour des structures différentielles avec feedback parallèle, ce qui a permis d'améliorer les performances en bruit, deux publications ont été également réalisées.

TITRE:

Égalisateur adaptatif numérique haute performance pour signaux QAM.

RÉSUMÉ:

Les liens de communication modernes demandent des taux de transfert de plus en plus importants. Une méthode présentement très utilisée pour atteindre des densités spectrales élevées est la modulation d'amplitude en quadrature de phase (QAM). Cependant, la complexité de l'appareillage requis pour la mise en œuvre de ce type de modulation pose des problèmes particuliers.

Ce projet consiste en la réalisation d'un filtre adaptatif de haute performance par la famille de CPLD Flex 10K d'Altera. Le prototype conçu devra réaliser l'égalisation de données binaires transmises au travers d'un lien radio point à point SDH/SONET utilisant une modulation 128QAM. Pour obtenir une fréquence d'opération satisfaisante, on doit développer une architecture pipeline efficace.

PROBLÉMATIQUE:

Les signaux à haut taux de signalement utilisés dans les systèmes de communication à grand débit sont déformés lorsque transmis sur d'importantes distances. Les effets dispersifs de l'espace de propagation des ondes électromagnétiques créent de l'interférence nuisible lors de la transmission. On a donc une réponse impulsionnelle du canal dont l'étalement temporel est supérieur au temps de transmission d'un symbole. Il en résulte une diaphonie entre symboles adjacents reçus au récepteur.

On choisit de compenser pour ces effets indésirables en insérant un égalisateur dans le système de réception. Celui-ci doit en quelque sorte réaliser la convolution du signal reçu avec l'inverse de la réponse impulsionnelle du canal. Il doit également être adaptatif, c'est-à-dire capable de s'ajuster automatiquement vis-à-vis des caractéristiques changeantes du canal.

Nous procéderons à la réalisation d'un égalisateur numérique de grande vitesse. Pour cela, une architecture pipeline efficace et rapide doit être développée. On doit également identifier le ou les algorithmes adaptatifs convenant le mieux à une telle architecture.

MÉTHODOLOGIE:

Afin d'être en mesure de tester plusieurs réalisations différentes, on intègre l'égalisateur adaptatif à l'intérieur de composants logiques programmables. La famille de CPLD Flex 10K d'Altera a été sélectionnée à cette fin. On choisit de synthétiser les architectures développées à partir de modèles AHDL paramétrisables. L'utilisation de paramètres permet d'ajuster les caractéristiques de l'architecture obtenue. Les étapes de synthèse, de simulation logique et d'intégration sont réalisées à l'aide du logiciel Max+PLUS II. Les vecteurs de simulation sont générés à partir de modèles Matlab du système ou à partir d'échantillons tirés d'un démodulateur 128QAM. Des programmes Matlab permettent de simuler le canal selon le modèle de Rumlmer tout en tenant compte d'autres facteurs comme le bruit blanc Gaussien.

RÉSULTATS:

Une carte prototype a été conçue et fabriquée pour recevoir les quatre CPLD Flex10k130 nécessaires au traitement numérique avec leurs divers composants d'interface. Une première phase de tests et de corrections a été effectuée pour s'assurer de l'intégrité des signaux voyageant sur la carte. Ceci nous a permis de s'assurer du bon fonctionnement du matériel développé. Nous en sommes à présent à compléter l'intégration du logiciel de l'égalisateur complexe dans les CPLD. Une deuxième phase de tests permettra alors de s'assurer du bon fonctionnement du logiciel et de caractériser l'égalisateur obtenu.

TITRE:

Conception des circuits de synthèse d'horloge avec des accumulateurs de phase.

RÉSUMÉ:

Le projet consiste à la réalisation pratique d'un circuit de synthèse numérique de fréquence pour les systèmes de communication et en particulier, pour des applications de télévision numérique.

PROBLÉMATIQUE:

La prolifération des circuits synchrones a entraîné un besoin grandissant de circuits capables de fournir une horloge précise. Parmi ces circuits, les circuits de synthèse numérique de fréquence sont de plus en plus utilisés.

Cette thèse vise à explorer des méthodes efficaces pour la synthèse directe d'une horloge, avec une gigue réduite, à partir d'une autre horloge.

MÉTHODOLOGIE:

Le développement de l'industrie électronique et surtout de la microélectronique, permettent d'intégrer toutes les fonctions d'un circuit de synthèse d'horloge dans une seule puce. La compagnie Miranda, qui parraine le projet, a clairement exprimé son besoin d'intégration d'un tel circuit dans ses produits. Cependant, la complexité du problème rend l'intégration difficile. La résolution de problèmes demande le développement de techniques nouvelles, d'où le besoin de trouver des méthodes efficaces pour réaliser des circuits de synthèse d'horloge qui ont la précision désirée avec les technologies disponibles. Pour concevoir le circuit, on doit utiliser les outils CAO disponibles au Groupe de recherche en microélectronique. Le design sera suivi d'une réalisation pratique à l'aide de la Société Canadienne de Microélectronique.

RÉSULTATS:

Un circuit de synthèse numérique de fréquence a été réalisé à l'aide de la SMC. Les résultats du test sont convaincants. Un autre circuit capable de donner des meilleures performances sera bientôt soumis à la fabrication.

TITRE :

Une méthode de codesign logiciel/matériel pour la conception de modems haute performance.

RÉSUMÉ :

Les domaines de la communication et de la téléphonie se développent très rapidement. Ce type de système nécessite des caractéristiques très particulières. Nous voulons faire la conception de différents modems de la famille xDSL (Digital Subscribe Line) en utilisant une méthodologie de co-design. Pour déterminer les parties du modem qui seront en logiciel et celles en matériel, nous allons utiliser des métriques pour estimer si le modem rencontre certaines contraintes. Ces contraintes sont le temps d'exécution du système, la surface utilisée par le système ainsi que la puissance dissipée.

PROBLÉMATIQUE :

Différents critères doivent être pris en considération lors de l'implantation d'un modem. Ce type d'application s'exécute en temps réel et doit donc être capable de rencontrer des contraintes de temps assez strictes. Pour former une ligne de communication, un modem est nécessaire à chacune des extrémités de la ligne, d'où l'utilisation de centrales. Ces centrales ont une grande concentration de modems dans un espace limité. Pour cette raison, il est essentiel de limiter la surface utilisée, ainsi que la dissipation de puissance.

Les modems xDSL utilisent une technologie DMT (Discrete Multi-Tone). Celle-ci divise le canal en plusieurs sous-canaux, transmettant séparément et de manière concurrentielle des données. Chaque sous-canal utilise sa propre porteuse. Que l'on parle du ADSL, du Universal ADSL ou du VDSL, la technologie utilisée est la même, mais avec des proportions différentes. Par exemple, le Universal ADSL utilise deux fois moins de sous-canaux que la version complète du ADSL. Nous voulons pour chacun des modems de la famille xDSL déterminer les différentes parties qui seront implantées en matériel et en logiciel.

MÉTHODOLOGIE :

Une méthode de co-design logiciel/matériel sera développée ou adaptée pour la conception de modem xDSL. Cela signifie que l'application sera d'abord spécifiée et modélisée de façon logicielle en langage C, puis profilé sur un processeur C54 ou ARM7. Les parties critiques du système seront ensuite étudiées de façon à déterminer celles qui devront être réalisées en matériel pour obtenir des performances adéquates du système. Ce partitionnement entre le logiciel et le matériel se fera en considérant les quatre métriques suivantes: les communications, la consommation de puissance, le temps d'exécution et la surface utilisée. Par conséquent, quatre estimateurs (un par métrique) seront développés ou adaptés. Les parties de l'application à réaliser en matériel seront ensuite décrites en langage VHDL pour être synthétisés par un outil commercial tel que Synopsys. De même, les parties de l'application à réaliser en logiciel seront générées (compilation et édition de lien). En bout de ligne, une simulation logiciel/matériel servira de validation.

RÉSULTATS :

Les différents modules des modems ont été développés en C. Puis, les parties critiques ne pouvant s'exécuter sur le processeur ont été modélisés en matériel. Les modules matériels ont été évalués selon leur surface, leur temps d'exécution, ainsi que leur dissipation de puissance. Un algorithme de partitionnement a été développé pour déterminer le partitionnement matériel/logiciel maximal.

TITRE:

Conversion matérielle automatique d'algorithmes appliqués au domaine de l'analyse et du traitement de signaux radars.

RÉSUMÉ:

L'algorithme *Intentional Modulation On Pulse* (IMOP) est une agglomération d'algorithmes spécialisés dans l'analyse et le traitement des signaux radars. Une implantation matérielle de l'algorithme IMOP permettrait de traiter des signaux radars en temps réel.

PROBLÉMATIQUE:

Tandis que la majorité des algorithmes d'analyse et de traitement des signaux radars sont développés en point flottant, leur implantation requiert fréquemment des opérateurs à point fixe afin de rencontrer les contraintes de coût et de performance. Dans le but de conserver les propriétés de l'algorithme original, d'éviter les erreurs de débordement ou de perte de précision, chaque opérande doit être représentée par un nombre de bits adéquat.

MÉTHODOLOGIE:

La tâche consiste à propager la tolérance d'erreurs des sorties définies par l'utilisateur vers les entrées, ce qui permettrait de minimiser à la fois le nombre de bits nécessaires pour représenter chaque opérande et la surface totale de l'implantation matérielle de l'algorithme. Finalement, un outil automatique qui convertit un programme à point flottant en un programme à point fixe, qui considère les contraintes matérielles et qui pourrait être étendu aux outils de conception VLSI, permettrait d'accélérer le processus d'analyse et d'implantation d'un algorithme.

RÉSULTATS:

Afin de déterminer les performances réelles de l'outil de conversion automatique et dans le but d'implanter l'ensemble d'algorithmes IMOP, la première tâche a été d'analyser les algorithmes afin d'être en mesure de déterminer les parties de IMOP qui exigent le plus d'effort d'exécution (profilage). Une revue de littérature réalisée sur le profilage a permis de déterminer quelle est la technique la plus appropriée à notre type d'application. Finalement, une recherche sur l'outil de conversion automatique a été réalisée dans la littérature afin de déterminer les avancements sur ce domaine de recherche scientifique.

TITRE:

Interface universelle pour capteurs.

RÉSUMÉ:

Le marché des capteurs connaît une importante croissance. Cette croissance est entre autre stimulée par la volonté de mieux gérer notre environnement, de mieux exploiter nos ressources ou d'améliorer les performances des systèmes en général. Les progrès des procédés microélectroniques et des outils de conception permettent aujourd'hui l'intégration de systèmes de traitements numériques très complexes. Ces progrès permettent aussi une intégration commune avec des systèmes analogiques. On réfère à des systèmes à signalisation mixte (analogique et numérique). Par contre, la conception d'une interface analogique est souvent coûteuse et fastidieuse. La conception analogique ne bénéficie pas encore d'outils et de technologies permettant un prototypage rapide contrairement à la conception de systèmes numériques (e.g. FPGAs, VHDL). Afin d'accroître et de faciliter la conception d'applications utilisant des capteurs, notre projet s'intéresse à la conception d'une interface universelle (programmable) pouvant satisfaire un vaste ensemble de capteurs différents par leur nature. Nous tenterons dans un premier temps de satisfaire les capteurs de nature plus conventionnelle par opposition aux technologies micro-machinées.

PROBLÉMATIQUE:

L'ensemble des capteurs qui nous intéressent (gauges de contrainte, RTDs, LVTDs, Thermistors, capteurs de gaz...) requièrent différents modes d'excitation et de conditionnement de signal. La bande passante moyenne pour leurs applications se limite à 100 kHz. Cela ne constitue pas une contrainte sévère. Toutefois, l'amplitude des signaux à conditionner varie de quelques micro-Volts à quelques Volts. L'interface devra donc offrir une large gamme de gain, présenter peu de bruit et d'offset à l'entrée. La précision de l'interface constitue la principale contrainte. Le problème se résume à concevoir une chaîne de conditionnement programmable (gain, bande passante), de définir suffisamment de fonctionnalité afin de produire un composant utile dans plusieurs applications de capteurs.

MÉTHODOLOGIE:

- Revue de littérature portant sur les différentes méthodes d'excitation et de conditionnement de signal;
- Définition d'une architecture pouvant satisfaire notre ensemble de capteurs;
- Revue de littérature pour chaque sous-système
- Entrée schématique au moyen de ViewDraw (ViewLogic) et simulation avec Hspice (MetaSoftware)
- Planification du plan de masse et des dessins de masques au moyen de LEdit (tanner) et/ou Vituroso (Cadence).
- Simulation post-layout au moyen de Hspice et/ou Meta-Circuit.

RÉSULTATS:

Une architecture système a été définie suite à une revue de littérature portant sur les méthodes de conditionnement de signal. Ensuite, sur la base de cette architecture, nous avons ciblé les circuits pouvant permettre de réaliser la fonctionnalité désirée et de rencontrer les différentes spécifications de performance. A ce stade, la conception et la simulation des circuits sont complétées. Nous sommes à l'étape de la conception des masques destinés à la fabrication du circuit intégré dédié (ASIC).

TITRE:

Méthodes algorithmiques pour l'analyse et la conception de systèmes informatiques de haute performance.

RÉSUMÉ:

Dans le cadre de notre projet de recherche, nous planifions développer des techniques efficaces pour explorer l'espace de la réalisation matérielle d'un système à savoir par exemple le développement des techniques d'estimation de performance. Aussi dans cette recherche, nous voulons développer des méthodes de transformation automatique de programmes écrits par un être humain afin d'obtenir des programmes plus efficaces.

PROBLÉMATIQUE:

Le besoin de systèmes informatiques rapides n'a pas cessé de croître. Pour répondre à ce besoin, une collaboration étroite entre les systèmes implantés en matériel et les programmes qui seront exécutés sur ceux-ci est fortement requise. En effet, les systèmes en matériel doivent être dotés d'une rapidité de traitement acceptable, sinon tout effort de conception de programmes efficaces sera perdu, et vice versa.

L'évolution de la technologie, lors de ces dernières années, a permis de concevoir matériellement des systèmes très complexes ayant des performances plus ou moins acceptables. Cependant, la tâche du concepteur de ces systèmes est devenue beaucoup plus difficile. Ce degré de difficulté vient du fait que des contraintes, que l'on peut qualifier de contradictoires, s'imposent durant le cycle de conception de ces systèmes. Pour réduire cette difficulté, une approche hiérarchique est devenue ultime.

Ainsi selon cette approche, la matérialisation d'un système s'effectue par des raffinements successifs de sa description algorithmique jusqu'à l'obtention des masques de fabrication du silicium. Chaque raffinement réduit le niveau d'abstraction de la description du système en introduisant plus de détails.

Le passage du premier niveau d'abstraction au niveau suivant consiste à trouver la transformation qui donne la réalisation la plus performante, la plus économique possible, et qui minimise la surface du circuit résultant. Une telle transformation passe par la résolution de problèmes d'optimisation complexes tels que les problèmes d'ordonnancement et d'allocation.

En général, ces problèmes sont NP - complet et leur résolution se fait par des heuristiques. Par conséquent, l'espace de possibilités de conception en matériel d'un même système peut être énorme. Pour mieux explorer cet espace, des techniques d'estimation de performances peuvent être appliquées.

Dans l'espoir d'augmenter leur performance, un grand effort est consacré à la réalisation en matériel de systèmes très complexes. Cependant, leur programmation d'une façon la plus efficace reste un problème ouvert à la recherche.

MÉTHODOLOGIE:

Le plan d'action pour ce projet de recherche est comme suit:

- Faire une synthèse de la littérature pour identifier les problèmes récemment traités et ceux qui restent encore ouverts;
- Établir une étude théorique de ces problèmes qui consiste à les formuler mathématiquement et à les analyser;
- À partir de cette formulation, développer des algorithmes de résolution;
- Implanter ces algorithmes dans un langage de haut niveau et les tester sur des applications réelles.

RÉSULTATS:

En plus de développer des méthodes algorithmiques, nous voulons aussi développer un outil d'aide à la conception matérielle/logicielle de systèmes informatiques. Nous avons déjà commencé le développement de cet outil. Nous y avons implanté certaines de nos méthodes préliminaires. Les résultats ainsi obtenus sont encourageants.

TITRE:

Conception d'un appareil échographique, portable, fonctionnant en temps réel avec sonde mécanique à balayage sectoriel.

RÉSUMÉ:

L'objectif de ce projet consiste en la conception d'un appareil échographique, portable non invasif, à faible consommation et à très faible encombrement dans le but de l'utiliser à l'extérieur de l'hôpital, par exemple: dans l'ambulance, à domicile et en clinique privée. Bref, à l'aide d'un tel dispositif, il est facile et immédiat d'obtenir des diagnostics ultrasoniques qui peuvent renforcer la relation entre docteur et patient.

PROBLÉMATIQUE:

Malgré que tous les appareils échographiques commerciaux récents aient de meilleures performances au niveau représentation de données, plage fréquentielle et option, leurs inconvénients résident dans leurs dimensions au niveau architecture (circuit discret) et leur consommation de puissance.

La miniaturisation de leur architecture permet de réduire significativement leur encombrement, leur consommation de puissance et la température de fonctionnement du système.

MÉTHODOLOGIE:

En s'inspirant des travaux de recherche qui ont été faits dans le domaine d'imagerie médicale, nous proposons une architecture miniaturisée d'un appareil échographique portable qui opère en temps réel avec une sonde mécanique à balayage sectoriel. Notre architecture proposée comporte les huit blocs suivants:

- Sonde;
- Contrôle et commande du moteur;
- MC68000 et contrôleur de temps;
- Émetteur (transmission);
- Récepteur (amplification);
- Numérisation et focalisation;
- Traitement de signal;
- Scan converter

Dans ce travail, nous visons à intégrer complètement le quatrième et le cinquième bloc et à trouver une méthodologie d'intégration pour les autres blocs.

RÉSULTATS:

L'intégration du bloc récepteur est à ses débuts. La conception d'un étage d'amplification intégré pour la réception des signaux ultrasoniques est complétée. Les résultats de simulation sont assez encourageants. Finalement, une conception d'une partie du bloc de numérisation et focalisation est en cours.

TITRE:

Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.

RÉSUMÉ:

Le sujet de ma maîtrise vise à développer des méthodes de partitionnement automatiques pour une architecture parallèle ciblée. L'architecture est celle définie dans le projet PULSE, dédiée aux traitements numériques (du type vidéo) en temps réel. Ce projet a pour but de transformer un algorithme décrit par un code séquentiel en vue de l'exécuter sur une architecture multiprocesseur parallèle.

PROBLÉMATIQUE:

Le projet PULSE prévoit la mise en œuvre d'une architecture multiprocesseur hétérogène constituée de processeurs SIMD intégrés dans des ASIC et de microprocesseurs commerciaux. L'objectif principal de ce projet consiste à exécuter en temps réel des algorithmes de traitement numérique. Une constituante essentielle est d'assigner les tâches à chaque processeur avec comme but de maximiser les performances du système pour un algorithme séquentiel donné. Ce partitionnement des tâches sur les différents processeurs est un problème difficile. Il s'agit donc de développer des outils et méthodes automatiques pour assister la mise en œuvre d'applications complexes.

MÉTHODOLOGIE:

Dans un premier temps, le problème est analysé par un partitionnement manuel d'algorithmes types. Il s'agit d'expérimenter les stratégies efficaces pour le partitionnement d'algorithmes sur l'architecture cible. Dans un second temps, une interface est développée pour permettre d'analyser, d'une manière dynamique, les performances de différents partitionnements d'un même algorithme, et ainsi valider les méthodes. Enfin, les méthodes de partitionnement validées seront insérées dans un outil de partitionnement automatique.

RÉSULTATS:

Des partitionnements manuels ont été réalisés et ainsi une expérience pratique a été acquise. L'interface permettant l'analyse dynamique des performances de diverses mises en œuvre des algorithmes sur le système PULSE a été réalisée. Actuellement, nous mettons au point des heuristiques et méthodes pour partitionner automatiquement des algorithmes sur les différents processeurs en tenant compte de leurs rôles et de leurs spécificités.

TITRE:

Capteur d'images CMOS dédié à un implant visuel.

RÉSUMÉ:

Le projet consiste à concevoir et réaliser un capteur d'images en technologie CMOS applicable à un implant visuel. Ce dernier est un appareil visant à stimuler le cortex cérébral de patients aveugles dans le but de leur rendre une vision fonctionnelle. Le capteur intégrera toutes les composantes nécessaires à la transformation du signal optique en signal électrique analogique, numérique et l'interface externe numérique.

PROBLÉMATIQUE:

La nature de l'application du capteur impose des contraintes de taille. En effet, son utilisation quotidienne prolongée exige qu'il soit compact et extrêmement économe en énergie. Ensuite, la faible taille de la matrice d'électrodes de stimulation corticale implantable exige que l'on puisse optimiser son utilisation selon chaque circonstance. En effet, il est souhaité que, selon la situation, l'utilisateur puisse modifier le compromis qui existe entre la largeur de son champ de vision et sa capacité à discerner les détails de petits objets.

MÉTHODOLOGIE:

Le capteur est composé d'une matrice de pixels actifs CMOS en mode courant dont la taille et la résolution peuvent être modifiés au moment de la lecture des données. La modification de ces deux propriétés permet d'implanter un "zoom" électronique ne nécessitant aucun déplacement de pièces mécaniques. Un circuit de moyennage de colonnes permet ensuite d'éliminer les effets d'artefacts associés à la réduction d'image. Puis, un circuit de réduction du bruit spatial fixe permet d'amoinrir l'erreur associée au gain propre à chaque cellule, en plus de l'erreur de décalage habituellement corrigée. Des convertisseurs analogique-numérique intégrés permettent finalement d'utiliser le capteur avec une interface entièrement numérique.

Un capteur de test permettant de vérifier certaines hypothèses de base et permettant de déterminer la configuration optimale pour les cellules photosensibles a été soumis pour fabrication en un premier temps. Suite à la réception et à la caractérisation dudit circuit, le capteur complet pourra être fabriqué.

RÉSULTATS:

Au moment d'écrire le présent document, le premier capteur de test est encore en phase de fabrication. Aucun résultat expérimental n'a donc été recueilli. Par ailleurs, les simulations présentent des performances intéressantes, principalement au niveau du circuit réducteur de bruit spatial fixe.

TITRE :

Conception et mise en œuvre d'un système de reconfiguration dynamique.

RÉSUMÉ :

Ce projet destiné au milieu industriel vise à ajouter, entre autre, une fonctionnalité RTR (Run Time Reconfiguration) sur la base d'un module existant et commercialement disponible. Le produit final sera un outil de conception et de déverminage basé sur le RTR, exploitant un lien JTAG comme canal de communication secondaire. Une capacité de constante interaction avec le système et une grande flexibilité de reconfiguration caractériseront ce produit.

PROBLÉMATIQUE :

Comme il a été mentionné, le projet tire sa complexité du fait que des fonctions additionnelles doivent être ajoutées à un module existant et dont le design extérieur est plus ou moins fixe. Étant donné également que certaines composantes du module sont carrément intouchables, nous devons intervenir, de manière alternative, par une entrée secondaire qui est jusqu'à maintenant inutilisée et dont l'interface reste à construire. De plus, une partie logicielle est à concevoir. Celle-ci permettra à l'utilisateur de construire un système basé sur ce module et d'interagir avec lui de manière continue.

MÉTHODOLOGIE :

Les actions à poser sont subdivisées en deux parties. D'abord, il faut modifier l'architecture du contrôleur du module afin d'y implanter l'interface avec l'entrée secondaire en plus d'y inclure un contrôleur de mémoire externe. Ensuite, il faut unir le tout par un logiciel, versatile, portable pour n'importe quel type de système hôte, et qui saura assister correctement l'utilisateur dans ses tâches de conception et d'implantation.

RÉSULTATS :

L'implantation de ce système nous a permis de démontrer la preuve que le concept établi était bel et bien réalisable et efficace. En effet, en greffant un environnement logiciel à la réalisation matérielle, nous avons pu mesurer le temps exact d'une reconfiguration d'une unité de traitement. Chacun des filtres possédant une configuration particulière et était implantée en alternance par l'un et l'autre des unités de traitement. Nous avons calculé un temps de reconfiguration théorique de 100 ms alors que nous avons obtenu 250 ms par unité de traitement. Cette différence de performance est due à un élément limitant dans la chaîne de reconfiguration que nous avons identifiée. Quoique les performances du système soit moindre que ce que nous espérions, il reste que la fonctionnalité espérée est satisfaisante.

TITRE:

Réalisation d'une électrode de stimulation nerveuse basée sur une armature en alliage à mémoire de forme.

RÉSUMÉ:

Ce projet comprend deux volets. Il s'agit, d'une part, de réaliser une électrode de stimulation nerveuse sous la forme d'une gaine de silicone englobant une structure en alliage à mémoire de forme et d'autre part, de concevoir un générateur d'impulsions de courant sous forme de rampes biphasées. Cette source de courant permet de tester le comportement des électrodes dans différents modes de fonctionnement de l'implant urinaire.

PROBLÉMATIQUE:

Bien qu'il existe déjà des systèmes complets de stimulation de l'appareil urinaire, les électrodes utilisées demeurent complexes à implanter car difficiles à fixer autour du nerf concerné. On cherche donc à réaliser un nouveau type d'électrodes capables de se refermer d'elles-mêmes autour du nerf, de façon définitive, dès qu'elles sont placées à la température interne de l'organisme.

Pour évaluer de façon complète ces électrodes, il nous faut disposer d'un générateur d'impulsions dont nous pouvons facilement faire varier les divers paramètres. Ce générateur émet des impulsions en courant sous forme de train à une fréquence donnée. De plus, il doit être en mesure de superposer deux signaux de même type de fréquences différentes en respectant certaines règles de priorité.

MÉTHODOLOGIE:

Lors de la fabrication des électrode, on intègre une structure en alliage à mémoire de forme à une gaine de Silastics® cylindrique. Les propriétés remarquables de ces matériaux, à savoir l'effet mémoire et la superélasticité, confèrent à l'électrode le comportement mécanique désiré : une grande souplesse pour l'installation de l'électrode et une rigidité importante pour se maintenir sur le nerf après implantation. La source de courant comprend une partie numérique qui génère les signaux appropriés à partir d'un ensemble de compteurs et une partie analogique constituant l'étage de sortie. Les unités numériques sont intégrées sur un FPGA (Field Programmable Gate Array). Ce générateur de stimuli utilise un DAC 1 bit de type $\Delta\Sigma$ qui est presque totalement intégrable sur le FPGA. Sa partie analogique se réduit en effet à un simple filtre RC. Cette technique permet de restreindre les composantes analogiques du système. Le générateur est complètement programmable pour l'utilisateur qui rentre sur un PC les caractéristiques des signaux à générer : durée et amplitude de l'impulsion, fréquence de répétition des impulsions, durée du train d'impulsions et fréquence de répétition des trains.

RÉSULTATS:

Deux types d'électrodes ont été réalisés. Le premier est basé sur l'effet mémoire : l'électrode est ouverte par le chirurgien puis se referme automatiquement lorsqu'elle est placée à 37°C. Le second type est basé sur la superélasticité : manipulée par le chirurgien, l'électrode est suffisamment souple et élastique pour être ouverte et se refermer autour du nerf, mais, une fois en place, elle est assez rigide pour rester fermée. Les propriétés mécaniques et électriques de ces électrodes ont été validées par des tests *in vitro*, des calculs mécaniques par éléments finis ainsi que par des tests *in vivo* en phase aiguë sur des animaux.

Le générateur de stimuli peut émettre simultanément deux signaux de même type mais de fréquences différentes. L'utilisateur choisit ces fréquences de 10Hz à 10kHz, il choisit la durée des impulsions entre 0 μ s et 600 μ s et leur amplitude de 0 à 2.4 mA. Ces impulsions peuvent être émises en continu ou par trains de 2 à 100 impulsions, espacés d'un délai également programmable. Le générateur a été utilisé pour la validation électrique des électrodes lors des expériences en phase aiguë. Il peut également être utilisé dans le cadre d'autres applications biomédicales, en particulier pour l'optimisation des paramètres de stimulation.

TITRE:

Synthèse des communications dans un système embarqué hétérogène.

RÉSUMÉ:

Le but du présent projet est de développer une méthode de synthèse d'interfaces automatique ou semi-automatique. À partir des méthodologies déjà développées par d'autres groupes de recherche, nous allons tenter de déterminer une méthodologie complète pouvant être appliquée à plusieurs types de systèmes. De plus, nous allons tenter d'intégrer le processus de synthèse à un outil de capture développé par un autre étudiant du groupe.

PROBLÉMATIQUE:

L'utilisation de logiciel et de matériel dans le design de systèmes embarqués est une pratique de plus en plus courante. En effet, cela permet un meilleur rapport coût/performance. Pour faire ce type de design, le système doit être décrit à un niveau d'abstraction très élevé (*system level description*). De plus, pour permettre de réduire le temps de design, il faut permettre une implantation rapide des communications de la description comportementale des modules pour permettre la réutilisation des différentes parties du système. De ces contraintes est apparu un nouveau concept: la synthèse des communications.

Dans le cadre du projet CIRCUS (Complex Interface Refinement for Codesign Unified System), un étudiant nommé Yannick Héneault, travaille actuellement sur le développement d'un outil permettant de faire la capture et le design au plus haut niveau d'abstraction de systèmes embarqués hétérogènes. L'objectif de ce présent objet est de développer une méthodologie d'automatisation de la synthèse d'interface pour ce genre de système. On voudrait pouvoir intégrer au logiciel de capture une option permettant de faire le raffinement d'interface dans le but de faire une simulation au niveau RTL du système complet avec le logiciel Seamless de Mentor Graphics.

MÉTHODOLOGIE:

Puisque plusieurs chercheurs se sont penchés sur le problème de synthèse d'interfaces dans les cinq dernières années, il est important de voir tout ce qui a été pensé et réalisé. Après avoir fait un tour complet de la littérature sur le sujet, il faut développer un algorithme (ou une méthodologie) pouvant intégrer le plus de situations possibles et permettant de faire le raffinement d'interface du début à la fin. Ensuite, il faudra tenter d'implanter la méthodologie développée sur le logiciel de capture développée par Yannick Héneault. Enfin, il faudra trouver une façon d'utiliser la description générée par le présent outil pour permettre la co-simulation avec le logiciel Seamless de Mentor Graphics.

RÉSULTATS:

Après quatre mois de maîtrise, une revue de la littérature a été faite. Un rapport synthétisant toutes les méthodologies est presque complété et il faudra ensuite passer au développement de la méthodologie.

TITRE:

Interface transcutanée bidirectionnelle dédiée aux implants neuro-musculaires.

RÉSUMÉ:

Le but du présent travail est la conception et la réalisation VLSI d'une interface radiofréquence de communication et de transfert d'énergie pour des stimulateurs neuro-musculaires implantables. Le rôle de ces stimulateurs (implants) est la récupération totale ou partielle de la fonctionnalité d'organes humains paralysés. Ces implants devront être miniatures, de faible puissance de consommation et fonctionner avec des tensions d'alimentation très faible. De plus, comme ces stimulateurs sont implantés sous la peau, la communication et l'énergie nécessaire pour leur bon fonctionnement devront être effectuées à distance. Donc, l'interface (lien inductif) devrait assurer:

- Le transfert de l'énergie nécessaire à l'alimentation de l'implant.
- Une transmission bidirectionnelle de données entre l'extérieur et l'implant.

Pour évaluer les performances de l'interface, l'estimation des pertes du lien inductif et les pertes dans la peau est indispensable. Une telle estimation est nécessaire pour caractériser efficacement l'interface et de déterminer la gamme de fréquences à utiliser pour la transmission. Dans cette gamme de fréquences, les pertes devront être très faibles afin d'optimiser le rendement en puissance du lien.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces implants représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous menons des recherches pour développer et concevoir des interfaces d'alimentation et de communication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La méthode prévue pour compléter le présent projet comprendra les étapes suivantes:

- Étude bibliographique détaillée des systèmes existants de transfert d'énergie;
- Étude théorique détaillée, simulation et caractérisation d'un lien à couplage inductif;
- Proposition d'une méthode pour améliorer les performances d'un système de transfert d'énergie et de transmission de données à base d'un lien à couplage inductif;
- Conception et évaluation de l'ensemble du système proposé.

RÉSULTATS:

- Évaluation des pertes électromagnétiques dans la peau et de l'interface inductive.
- Caractérisation de l'interface inductive (détermination du rendement global).
- Développement et conception d'un contrôleur intégré de l'étage de puissance et de transmission RF de l'interface transcutanée.

TITRE:

Réalisation d'un lien RF à modulation numérique destiné aux applications de tagging.

RÉSUMÉ:

Nous concevons un circuit intégré capable de recevoir et d'émettre de l'information sous forme de signal RF, et qui agit comme interface entre deux circuits numériques. Le signal modulé doit permettre un transfert efficace de l'énergie entre une base fixe et une unité mobile pour alimenter cette dernière.

PROBLÉMATIQUE:

L'alimentation de composants électroniques que l'on implante dans le corps humain constitue un défi de taille, étant donné les dangers d'infection, il n'est pas possible de relier ces composants via des fils électriques à une source externe d'énergie. On peut générer une alimentation à partir d'une pile; cependant, cette dernière viendra tôt ou tard à perdre sa charge, d'où nécessité de la remplacer. Un lien RF constitue une alternative intéressante à la pile, puisque la source d'énergie est externe, donc inépuisable ou facilement remplaçable. De plus, ce lien permet le transfert d'information entre une unité de base intelligente (ou contrôleur), et le module implanté.

Plusieurs autres applications peuvent tirer profit d'un lien RF, dont le *tagging* (aussi connu sous l'appellation RF ID). Un tag peut être une étiquette électronique que l'on appose à un produit par exemple. Ainsi, cette étiquette intelligente, une fois interrogée, peut retourner de l'information sur le produit qu'elle identifie (tel sa catégorie, son prix), un peu à la manière d'un code barre. Cependant, la lecture d'une étiquette électronique s'avère beaucoup plus rapide puisqu'il n'y a pas de recensement physique à mener: seule une interrogation par champ électromagnétique s'avère nécessaire. On peut ainsi mener un inventaire d'un entrepôt en temps réel, ou encore établir instantanément la facture d'un panier d'épicerie.

MÉTHODOLOGIE:

Un modèle du système de communication (MATLAB) est en cours de réalisation. Parallèlement, nous développons les différentes fonctions du système à implanter à l'aide d'outils de simulation analogiques (HSPICE). Une fois le tout assemblé et simulé, la fabrication est à prévoir (délai de 2 à 3 mois). Durant la fabrication, les outils de test seront élaborés, puis le circuit intégré testé. Deux versions du lien de communication seront développées: l'une destinée aux implants, l'autre aux applications de *tagging*.

RÉSULTATS:

Le projet n'étant encore qu'à l'état embryonnaire, aucun résultat n'est disponible en ce qui a trait au fonctionnement du système. Mentionnons toutefois que plusieurs sous circuits nécessaires (filtres Gm-C, AmpliOps, DACs) ont déjà été réalisés et testés dans un procédé d'intégration CMOS (0.35µ) par des membres de l'équipe PolySTIM.

TITRE:

Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo.

RÉSUMÉ:

Le projet consiste à étudier et à proposer une architecture flexible basée sur le meilleur compromis possible entre une réalisation matérielle et logicielle et destinée à insérer/extraire des données ancillaires dans un signal vidéo.

PROBLÉMATIQUE:

Tout d'abord, une des contraintes dans l'élaboration du circuit est que l'on désire avoir un très bon synchronisme entre la fréquence du signal vidéo et celle des échantillons audio que l'on désire extraire (mentionnons que les données audio sont les données ancillaires auxquelles on accorde le plus d'importance). Plus précisément, on désire avoir une gigue de phase entre ces deux fréquences qui ne doit pas excéder 1 ns. Précisons qu'une version de ce produit a été réalisée sous la forme d'un circuit imprimé basé sur des composants commercialement disponibles par la société Miranda. Avec cette version, le délai nécessaire au bon traitement des signaux vidéo se chiffrait autour de 40 μ s, ce qui est beaucoup trop élevé. Une architecture basée uniquement sur une implémentation software ne peut rencontrer les contraintes mentionnées ci-haut. Cependant, en terme de flexibilité, une partie de cette architecture aurait avantage à être réalisée à l'aide d'un microcontrôleur.

MÉTHODOLOGIE:

Notre objectif est donc de définir une architecture où les parties de la fonctionnalité du système nécessitant un haut rendement soient réalisées en matériel dédié et le reste, implanté dans un microcontrôleur relativement simple. Plus précisément, la méthodologie conduisant au circuit voulu peut s'exprimer ainsi :

- Définition d'une architecture adéquate;
- Conception de l'architecture en VHDL;
- Simulations fonctionnelles de l'architecture (Synopsys)
- Synthèse des modules et simulations temporelles de l'architecture (Synopsys)
- Placement et routage de l'architecture (Cadence)

RÉSULTATS:

Les résultats se divisent en quatre catégories:

- La description du circuit en langage VHDL comporte près de 100 modules qui totalisent près de 25,000 lignes de code,
- La fonctionnalité du mode MUX et du mode DEMUX a été validée et fonctionne comme nous l'avions définie. Pour ce faire, près de 25,000 lignes de code VHDL ont été nécessaires (fichiers test-bench).
- La latence de traitement du circuit est en deca de 4 μ s ce qui est une grande amélioration en comparaison des 40 μ s de la première version.
- L'estimation de la complexité du circuit se chiffre à 120,000 portes logiques ou la porte logique de base est une "nand" à deux entrées.

TITRE:

Conception et implémentation d'un décodeur Reed-Solomon sur FPGA.

RÉSUMÉ:

Le but de ce projet de maîtrise est de concevoir et d'accélérer un décodeur Reed-Solomon (255,239) sur FPGA ciblant la technologie XILINX et la carte X-C436 de MiroTech.

Notre décodeur permettra de décoder des mots codés de 255 symboles avec 239 symboles d'informations et 16 symboles de parité, ce qui nous amènera donc à corriger jusqu'à 8 erreurs.

PROBLÉMATIQUE:

Lors de la transmission de données numériques à travers des canaux de communication, la probabilité d'avoir des erreurs de transmission est très élevée. Afin de recevoir l'intégrité des données émises, une technique très efficace est utilisée et se nomme le «Forward Error Correction (FEC) ». Il existe différentes méthodes permettant d'accomplir cette tâche, mais la plus efficace et la plus populaire de nos jours reste celle utilisant les codes Reed-Solomon. Ceux-ci sont décrits comme des codes (n, k) où les mots codés (code works) sont des blocs de n symboles incluant k symboles d'informations. Le concept de base de cette technique est d'ajouter de la redondance au message à transmettre afin de permettre au récepteur, non seulement de savoir si les données qu'il a reçues sont valides mais aussi de les corriger s'il y a lieu.

MÉTHODOLOGIE:

La conception de notre décodeur se fera avec une méthodologie à raffinement successif dite «Top-Down». Les différentes étapes permettant l'implémentation de cet algorithme sont les suivantes :

- Étude de l'algèbre des champs finis (Galois Fields) qui est largement utilisée dans les codes correcteurs d'erreurs;
- Étude de l'algorithme Reed-Solomon;
- Description matérielle en VHDL des différents modules du système;
- Validation du système qui sera basée essentiellement sur les simulations logiques avant la synthèse pour valider la fonctionnalité de chaque module, après la synthèse pour valider la synthèse et après le placement-routage. Notre circuit sera synthétisé à l'aide de l'outil Design Compiler de Synopsys, en utilisant la technologie XILINX;
- Placement-routage automatique du décodeur sur FPGA spécifiquement sur le composant XC4036;
- Implémentation de ce décodeur sur la carte X-C436.

RÉSULTATS:

Notre décodeur Reed-Solomon a été décrit en VHDL au niveau RTL synthétisable et une première simulation avant synthèse a été satisfaisante et nous a permis de valider sa fonctionnalité.

La synthèse logique et l'optimisation ont été réalisées avec l'outil FPGA Compiler de Synopsys et le placement routage a été exécuté sur le composant XC4036 de XILINX.

Il reste à implémenter ce décodeur sur la carte X-C436.

TITRE :

Caractérisation de contacts électrodes -tissus de stimulateurs neuromusculaires implantables.

RÉSUMÉ :

La défaillance du contact électrodes-tissus est parmi les premières causes de nombreuses dysfonctions des stimulateurs implantables. Le but de ce projet est de doter la nouvelle classe de stimulateurs implantables de circuits électroniques auxiliaires à faible encombrement et consommation, pouvant être facilement intégrés, qui leur permettra d'être beaucoup plus fiables par la détection rapide de tout début d'anomalie survenant au niveau de leur contact avec les tissus biologiques. Nous visons par le même fait à préserver la sécurité des patients par une stimulation plus viable et saine.

PROBLÉMATIQUE :

Les progrès permanents de la microélectronique rendent possible la mise au point de stimulateurs implantables de plus en plus performants et aux fonctionnalités multiples. Toute stimulation électrique s'effectue à travers des électrodes. Ces électrodes constituent généralement la partie des implants la plus vulnérable étant donné l'environnement assez hostile dans lequel elles évoluent. La majorité d'entre elles est sollicitée par des contraintes mécaniques assez sévères et des réactions électrochimiques non réversibles. Les défaillances au niveau du contact électrodes-tissus peuvent réduire l'effet de la stimulation, annuler son efficacité, et pire encore provoquer des destructions sur le tissu stimulé. Les difficultés associées à ce projet tiennent tout d'abord à la complexité des mécanismes qui se produisent au niveau du contact électrodes-tissus et ensuite au fait que toute approche envisagée devra être entièrement implantable.

MÉTHODOLOGIE :

Les étapes prévues sont les suivantes:

- Étude de l'interface électrode-tissu afin d'identifier tous les éléments qui interviennent dans les différents cas de dysfonctionnement;
- Caractérisation des différents états de fonctionnement et de dysfonctionnement par des paramètres électriques mesurables;
- Mise au point des techniques mesures in vivo des paramètres de caractérisation;
- Proposition des circuits électroniques implantables permettant les différents mesures et pouvant facilement être intégrés à l'ensemble du stimulateur.

Il est à noter que pour être retourné vers l'extérieur, les mesures effectuées devraient emprunter les mêmes voies que celles utilisées pour acheminer les paramètres de stimulation vers l'implant.

RÉSULTATS :

Un prototype de circuit de test du contact électrodes-tissus a été fabriqué en technologie 0.35 micron et les tests ont été concluants. Un second circuit permettant de mesurer l'impédance complexe du contact électrodes-tissus ainsi que le courant de stimulation effectif a été soumis pour fabrication toujours dans la même technologie.

TITRE:

Nouveaux outils CAO pour l'analyse et la conception de systèmes logiciel/matériel dédiés.

RÉSUMÉ:

Les méthodologies de conception traditionnelles pour les systèmes dédiés et DSP montrent leurs limitations face à la complexité croissante des applications, nouvelles architectures et technologies cibles. Ceci est en partie causé par la loi de Moore qui double la capacité d'un circuit intégré, en nombre de transistors, à tous les 18 mois. Le projet s'avère à explorer de nouvelles méthodologies de conception de systèmes dédiés et de capturer celle-ci dans un d'outil de conception assistée par ordinateur (CAO).

Le travail fait partie du projet: "Hardware/Software Co-design of Reconfigurable Computational Accelerators"

PROBLÉMATIQUE:

Les ingénieurs concevant des systèmes dédiés modernes doivent souvent partitionner leurs fonctionnalités entre le logiciel et le matériel pour respecter les contraintes des spécifications.

L'utilisation d'un langage comme le VHDL rend le temps de développement relativement long, comparativement à l'utilisation d'un langage de plus haut niveau, où entre autres, les événements de synchronisation et de contrôle sont implicites.

Il n'est pas facile de décrire un système en un langage de haut niveau, car les concepteurs doivent avoir des compétences en organisation et connaître intuitivement les fonctionnalités qui vont mieux en matériel ou en logiciel, lors de la spécification.

De plus, les méthodes de synthèse de circuit pour les langages de haut niveau, sont immatures et surtout le partitionnement n'y est pas transparent. Finalement, il y a de sérieux problèmes de validation et de déverminage à envisager à la suite d'un partitionnement traditionnel où l'application est divisé en deux langages différents, comme par exemple le C et le VHDL.

Nous croyons qu'un outil devra aider l'ingénieur à concevoir son application à l'aide de raffinements successifs et d'intégrations dans le flux de conception qui sera proposé.

MÉTHODOLOGIE:

L'auteur suivra la démarche scientifique dans son travail, de la façon suivante:

1. Analyse et étude de la littérature et de l'industrie
2. Élaboration du flux de conception à saisir
3. Identification des éléments d'un outil CAO pour saisir le plus d'étapes possibles de ce flux.
4. Étude des contributions pertinentes dans ce domaine et identification des outils logiciels "off-the-shelve" qui peuvent être utilisés
5. Conception et implantation de l'outil logiciel CAO
6. Test et validation de la pertinence de l'outil CAO
7. Analyse des résultats et rédaction

RÉSULTATS:

Les étapes 1, 2, 3, 4 ont été accomplies. L'étape 5 est en progression. Il est à noter que les étapes 1 et 2 changent beaucoup dans le temps.

L'auteur a identifié les étapes suivantes comme étant les principales responsabilités de l'outil:

- a) Assister et quantifier le partitionnement.
- b) Langage de haut niveau pour exprimer les spécifications.
- c) Générer automatiquement la partition matérielle.
- d) Proposer des mécanismes pour la validation du système.

Une série de prototypes ont été réalisés et analysés pour les parties a, b et c. Il y a présentement un module d'analyses de flux et une représentation intermédiaire pour exprimer le matériel. Les parties avant et arrière du compilateur sont en place pour le milieu: les analyses et les transformations. Il y a beaucoup de points obscurs dans le travail: doit-on utiliser deux langages? Comment la vérification sera incorporée? Et il y a aussi les transformations.

TITRE:

Implantation d'un décodeur de Viterbi sur FPGA de Xilinx.

RÉSUMÉ:

Dans les systèmes de communication numériques, le codage convolutionnel joue un rôle important pour la réception de haute performance. La présence d'erreurs parmi les symboles reçus conduit à la nécessité d'un décodeur qui détecte puis corrige les symboles entachés d'erreurs. L'algorithme de Viterbi est souvent appliqué pour le décodage convolutionnel dans plusieurs domaines intéressants, comme les communications par satellite, où il est nécessaire de recevoir de l'information précise avec le moins d'erreurs possibles en dépit de rapports signal à bruit relativement faibles.

MÉTHODOLOGIE:

Une architecture efficace a été conçue en partitionnant le décodeur de Viterbi en 2 parties dont l'une est matérielle et l'autre est logicielle. La partie matérielle est implantée sur la carte XCIM de la compagnie MiroTech, tandis que la partie logicielle est implantée sur la carte C40 qui communique avec XCIM à travers des canaux de communication. On a utilisé VHDL comme (Hardware Description Language) afin d'élaborer les différents blocs et les synthétiser dans l'environnement de Synopsys. L'implantation avec placement et routage est faite sur FPGA de Xilinx.

PROBLÉMATIQUE:

L'intégration de décodeurs de Viterbi devant fonctionner à débit élevé est difficile dans le cas des codes de grande longueur de contrainte K . Parmi les difficultés rencontrées, on note la récursivité des ACS (ADD-COMPARE-SELECT) et la mise à jour de la mémoire des chemins survivants du treillis représentant l'encodeur convolutionnel. La reconfigurabilité des FPGA réduit le temps de production des circuits intégrés denses. La carte XCIM de la compagnie MiroTech, qui contient deux FPGA utilisables par l'utilisateur, sert à accélérer la vitesse de calcul d'une carte DSP-C40. On vise à implanter un décodeur de Viterbi de haute performance sur les deux FPGA (XILINX). Les principales difficultés rencontrées sont la bande passante limitée entre les organes de calcul et la mémoire et les ressources limitées des deux FPGA.

RÉSULTATS:

Une accélération importante de la vitesse de calcul est signalée. Cela est accompli avec une longueur de contrainte programmable allant de $K = 4$ à $K = 15$, en utilisant un taux de code de $1/2$ pour une décision dure du décodage. Présentement, on surmonte les difficultés techniques de configuration pour tester le décodeur en présence de la carte XCIM et la carte C40 ensemble.

TITRE:

Modifications d'un chemin de données pour l'utilisation dans un modèle reconfigurable.

RÉSUMÉ:

Le projet consiste à modifier et optimiser le modèle VHDL d'un processeur de traitement de signaux de type SIMD (single instruction multiple data) initialement développé pour une puce dédiée ASIC afin de l'utiliser dans un FPGA. Le modèle VHDL doit être épuré et optimisé pour tenir compte de l'architecture du FPGA visé. De plus, étant de type SIMD, le processeur comporte plusieurs chemins de données fonctionnant en parallèle. Ceux-ci sont rendus modulaires en offrant la possibilité de modifier par de simples paramètres la largeur des mots traités, la profondeur des mémoires et des registres ainsi que d'exclure certaines composantes qui ne sont pas requises par une application visée.

PROBLÉMATIQUE:

Le coût et le temps de fabrication des ASICs étant importants, certaines compagnies à faible volume de production considèrent plutôt l'utilisation de FPGAs à haute performance pour leurs circuits numériques. L'emploi de modèles VHDL génériques permet d'obtenir des circuits moins imposants en n'utilisant que les ressources nécessaires à une application donnée. Un gain de performance peut également être observé du fait que le nombre de modules de calcul peut être augmenté, ceux-ci étant plus compacts. De plus, en ayant recours à des FPGAs de type SRAM, l'utilisateur pourrait même optimiser le chemin de données pour chaque application à traiter en le reconfigurant dynamiquement.

MÉTHODOLOGIE:

Le modèle VHDL du chemin de données doit être composé en un ensemble de modules hiérarchiques. Ceux-ci sont ensuite entièrement optimisés et paramétrisés. Une fois le modèle global validé, une sélection des ressources pouvant être éliminées doit être effectuée pour déterminer les modules du chemin de données qui ne seront pas exploitées. L'élagage de ces composantes est ensuite réalisé en tenant compte de tous les signaux y affluant ainsi que des latences engendrées par la présence du module. Finalement, l'inclusion ou non de ces modules ainsi que le nombre de chemins de données dans le processeur final seront contrôlés à l'aide de paramètres lors de la synthèse.

RÉSULTATS:

Le chemin des données est entièrement optimisé, paramétrisé et validé. Les modifications concernant la présence ou non de modules à l'intérieur des chemins de données sont en réalisation.

TITRE:

Conception de circuits intégrés CMOS très rapides dédiés à des interfaces de communication.

RÉSUMÉ:

Le projet vise la conception et la réalisation d'une interface de transmission de donnée à haute vitesse en technologie CMOS. La partie essentielle du système est le récepteur, qui doit recouvrir les données et l'horloge.

PROBLÉMATIQUE:

Le problème de transmission de données entre divers circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission de ces derniers. Pour cela, il faut avoir un système fiable et stable pour transmettre correctement les données et de les récupérer d'une façon fiable en minimisant le bruit introduit et les erreurs qui peuvent affecter le bon fonctionnement du système.

Dans le cadre de ce projet, nous allons concevoir des circuits CMOS très rapides ayant une faible consommation d'énergie, dédiés à des systèmes de communication. Ainsi, nous pourrons transmettre des données à 2.5 Gb/s à travers une ligne de transmission complètement en CMOS, tout en minimisant la puissance dissipée.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante :

- Proposer une architecture globale, en développant les techniques de transmission et de réception de données;
- Adapter des notions des PLL/DLL (Phase/Delay Locked Loop) pour les appliquer à notre système, tout en minimisant la gigue introduite due aux différences de fréquence entre les deux principaux blocs (transmetteur et récepteur);
- Étudier et analyser la gigue de phase introduits dans le système.

RÉSULTATS:

Soumission d'un chip à la fabrication pour un prototype du transmetteur/récepteur et des plots d'entrées/sorties LVDS en technologie CMOS 0.35 μ . Ce chip a été vérifié avec le testeur IMS. Sur la base de ces résultats, un autre chip est en voie de conception.

Titre:

Échantillonnage parallèle multi seuils, théorie et applications.

RÉSUMÉ:

Ce travail repose sur un nouveau concept d'échantillonnage parallèle multi seuils de signaux très rapides dans un système de transmission de données. La technique utilisée a pour intérêt d'atteindre une résolution extrêmement fine et inhabituelle en technologie CMOS pour un échantillonnage en temps réel et ce sans avoir recours à une horloge de haute vitesse. Parmi les utilisations possibles dont peut faire l'objet cette technique, on peut citer les instruments de mesures digitaux, les PLLs numériques et les systèmes de recouvrement d'horloge et de données.

PROBLÉMATIQUE:

L'échantillonnage des signaux à très haute vitesse est une fonction importante dans les systèmes de communication. Ces systèmes incluent les PLLs numériques et les systèmes de recouvrement d'horloge et de données. L'échantillonnage des signaux se fait généralement en appliquant les signaux de données à l'entrée d'une bascule contrôlée par une horloge de très haute vitesse. La sortie de la bascule fournit un échantillon de la valeur du signal de données à chaque fois qu'une impulsion d'horloge est appliquée. Il existe des limitations quant à la résolution possible lorsqu'on utilise des bascules. Ces limitations peuvent être minimisées en utilisant une bascule ultra-rapide réalisée avec une technologie avancée. Cependant, le coût d'une telle bascule est élevé et elle peut devenir tout simplement irréalisable pour un taux d'échantillonnage donné. Précisons aussi que des horloges de haute vitesse peuvent être difficiles et coûteuses à générer et à distribuer dans un circuit intégré. Les techniques conventionnelles de recouvrement de données et d'horloge utilisent une horloge de haute vitesse et des bascules rapides, mais le taux d'échantillonnage de ces méthodes est borné par la fréquence de l'horloge. Le but de ce travail est donc de proposer un système de recouvrement de données et d'horloge à l'aide de notre technique d'échantillonnage parallèle multi-seuils.

MÉTHODOLOGIE:

Dans un système de transmission, les données et l'horloge sont combinées de manière à former un seul train d'impulsions. À la réception, le rythme de l'horloge doit être alors récupéré pour régénérer ensuite les données à la cadence de l'horloge. Pour cela, le système que nous proposons repose sur un échantillonneur parallèle atteignant une fréquence supérieure à 2 giga-événements par seconde en technologie CMOS. La méthodologie adoptée pour mener notre étude est comme suit:

- Validation du concept d'échantillonnage parallèle multi-seuils;
- Proposition d'une technique d'optimisation du circuit échantillonneur;
- Application du circuit dans un système de réception avec recouvrement d'horloge et régénération de données;
- Proposition d'un algorithme et une architecture pour le traitement des échantillons;
- Soumission d'un circuit pour fabrication.

RÉSULTATS:

- Développement et validation de la technique d'auto-calibration de l'échantillonneur;
- Design d'un système de recouvrement d'horloge basé sur l'échantillonnage parallèle multi-seuils;
- Intégration d'un circuit de sérialisation servant de circuiterie de test.

TITRE:

Conception d'un récepteur optique en CMOS.

RÉSUMÉ:

Le récepteur sera utilisé pour réaliser l'interface entre un circuit MOS analogique et des fibres optiques de plastique. Plusieurs méthodes de régénération (différentielles, mode courant, avec détection de pics) seront utilisées pour en déterminer les performances. La linéarité de la réponse, la tolérance à une grande plage de conditions d'opération ainsi que la compatibilité avec les technologies existantes seront évaluées. Une nouvelle méthodologie de test des canaux optiques a été développée et sera aussi intégrée à ce projet.

PROBLÉMATIQUE:

Comme les circuits intégrés sont de plus en plus rapides, les plots d'entrée/sortie conventionnels et les interconnexions limitent la performance des systèmes. Afin que ces derniers soient rapides, il faut donc réussir à transmettre l'information entre les circuits intégrés de façon plus efficace. Cela doit être fait sans engendrer des coûts d'emballage trop importants, ou nécessiter trop d'espace sur les circuits intégrés. De plus, l'approche retenue doit être compatible avec les technologies utilisées couramment. La technologie des fibres optiques de plastique peut répondre aux exigences de communications plus rapides. Cependant, peu de récepteurs efficaces ont été réalisés pour ce genre d'applications, et aucun ne répond à tous les critères énoncés.

MÉTHODOLOGIE:

Les circuits existants seront revus et les caractéristiques voulues déterminées. Des simulations seront faites pour assurer l'invariance de la réponse du circuit aux différentes conditions d'opération possibles. Des caractérisations sur des structures de test de photorécepteurs seront faites. Cela nous permettra d'avoir des modèles plus précis pour les photodiodes. La testabilité du circuit, dans un contexte de système opto-électronique, sera évaluée. Finalement, le prototype sera fabriqué et testé.

RÉSULTATS:

La réponse optique des structures fabriquées a été testée et analysée. Les modèles obtenus ont été intégrés dans les outils de conception automatisée. Des logiciels de soutien pour l'évaluation des effets parasites des interconnexions externes ont été programmés.

TITRE:

Restructuration par faisceau laser des circuits intégrés VLSI.

RÉSUMÉ:

La complexité et par conséquent les dimensions sans cesse croissantes des nouveaux microcircuits conduisent inévitablement à une diminution du rendement à la fabrication. Les développements récents en microchirurgie des circuits par faisceau laser pourraient permettre dans certains cas la restructuration de circuits intégrés défectueux de façon rentable.

PROBLÉMATIQUE:

L'amélioration des procédés de fabrication entraîne une augmentation du rendement de fabrication des circuits intégrés. Les avantages économiques découlant de l'application des techniques de restructuration peuvent donc être très limités et doivent être évalués pour les différents circuits intégrés.

Les structures déjà existantes dans les circuits intégrés comme les transistors et les lignes métalliques, pourraient être utilisées pour créer des liens par laser dans un circuit défectueux sans avoir à prévoir de structures supplémentaires.

MÉTHODOLOGIE:

Appliquer le modèle probabiliste développé antérieurement pour évaluer la faisabilité économique de la restructuration laser sur différents types de circuits.

Identifier les conditions expérimentales reproductibles qui permettront la création de liens électriques entre les électrodes de transistors MOSFET.

Tester la durabilité des liens.

RÉSULTATS:

L'application du modèle probabiliste a montré que l'utilisation de la restructuration par laser n'est rentable que sur les circuits très gros (10 cm² et plus).

Des liens ont été créés entre les électrodes des MOSFET mais il n'a pas été possible de trouver des conditions reproductibles.

Par contre des tests de création de liens électriques sur des structures de liens diffusés ont mené à des résultats très positifs.

TITRE:

Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.

RÉSUMÉ:

Un système de Mesures de Soutien Électronique (MSE) est un senseur passif qui a pour but de caractériser (localiser et identifier) les émetteurs dans son environnement électromagnétique d'après les signaux radars qu'il intercepte. Son traitement consiste essentiellement à regrouper les impulsions captées qui sont similaires, pour ensuite identifier les sources associées aux groupes (i.e. les modèles d'émetteurs). La réponse de ces systèmes est critique pour la prévention de menaces. Toutefois, l'identification d'émetteurs en temps réel devient de plus en plus ardue dû à la complexité et à la densité des environnements modernes. Ce projet vise l'étude du potentiel des réseaux de neurones artificiels (RNA) pour les MSE radar en temps réel. Plus spécifiquement, ce projet explore l'application de techniques de RNA pour effectuer le regroupement de séquences d'impulsions et l'identification de sources émettrices

PROBLÉMATIQUE:

Ce projet comporte deux volets : (1) l'application de RNA auto-organiseurs pour effectuer le regroupement d'impulsions radars, et (2) l'application de la combinaison d'un tracker et d'un RNA classificateurs pour l'identification d'émetteurs. En ce qui concerne le premier volet, une comparaison antérieure (voir la partie résultats) a révélé que le Fuzzy ART est très prometteur pour le regroupement d'impulsions à haute vitesse.

MÉTHODOLOGIE:

Pour le premier volet, il s'agit de déterminer une mesure qui permet de détecter les entrées qui mènent à des décisions incertaines. Ensuite, pour réduire les effets associés aux décisions incertaines, on modifie la façon par laquelle Fuzzy ART apprend ou décide pour des cas incertains. Pour le deuxième volet, un RNA classificateur est combiné avec un RNA auto organisateur. Le classificateur apprend a priori une librairie de MSE, tandis que l'auto organisateur apprend l'état des émetteurs actifs dans un environnement. L'idée est de permettre aux RNA de coopérer afin de prédire l'identité le plus probable d'un émetteur actif.

RÉSULTATS:

Une comparaison de quatre RNA auto-organiseurs qui ont du potentiel pour des applications de catégorisation à débit élevé a été effectuée. Les résultats ont permis de conclure que le RNA Fuzzy ART et Self-Organizing Feature Mapping sont d'excellents candidats pour des applications en MSE radar. Le premier est très efficace en terme de calculs, tandis que le deuxième donne des résultats très précis. Ainsi, le choix d'un de ces deux RNA reflète d'un compromis entre la qualité des résultats et l'efficacité des calculs.

Les travaux en cours consistent à doter Fuzzy Art d'une option de rejet qui permet de retarder le traitement des patrons qui sont jugés incertains. Finalement, un RNA Fuzzy ARTMAP a été modifié pour apprendre à classifier (à partir d'un ensemble de données du chantier) à classifier des impulsions radars.

La mise en œuvre VLSI numérique du RNA Fuzzy Art a été étudiée. Les performances du RNA ont été quantifiées par simulation avec un ensemble de données constituées d'impulsions radar réelles. Afin d'obtenir des solutions efficaces pour la mise en œuvre du RNA avec un circuit dédié VLSI, son algorithme a été reformulé. Ensuite, une architecture de système Fuzzy Art qui réalise cet algorithme pour des applications à débit élevé a été proposée. Un modèle d'estimation surface-temps permet de choisir les configurations d'architecture et d'évaluer la vitesse de traitement, ainsi que la surface qui leur est associée, étant donné l'ensemble de contraintes de l'application.

TITRE:

Études théoriques des dispositifs à puits quantiques par la méthode Monte Carlo.

RÉSUMÉ:

De nos jours, grâce à leur performance supérieure et aux pertes peu élevées qu'elles occasionnent, les diodes lasers à puits quantiques sont de plus en plus employés dans le domaine des télécommunications. La caractérisation de ces dispositifs nécessite cependant une meilleure compréhension des phénomènes physiques qu'ils mettent en jeu.

PROBLÉMATIQUE:

Dans les structures à puits quantiques, la région active est de l'ordre du nanomètre. Les porteurs de charge confinés à ces distances manifestent ainsi des propriétés quantiques. Afin de caractériser les performances de ces composants, nous devons approfondir nos connaissances des phénomènes tels que la capture électronique, la modification de la structure de bande et le transport de charge. Une étude basée sur la mécanique quantique s'avère donc nécessaire.

MÉTHODOLOGIE:

Pour étudier les dispositifs à semi-conducteur, une méthode semi-classique très puissante, le simulateur Monte Carlo, a été mise au point. Cependant, pour faire une étude théorique plus poussée des nanostructures, il faudra inclure l'aspect quantique des phénomènes physiques dans le simulateur et comparer les résultats à ceux obtenus soit expérimentalement, soit à l'aide d'un simulateur classique. La structure de bande dans les régions des puits sera calculée par la méthode k.p et sera intégrée dans le simulateur Monte Carlo.

RÉSULTATS:

Plusieurs simulations ont été effectuées pour comparer le simulateur Monte Carlo à un simulateur classique des équations de diffusion et d'entraînement. Aussi, des résultats de photoluminescence des échantillons de diodes lasers ont été reproduits par le simulateur Monte Carlo. Une nouvelle technique pour inclure les recombinaisons radiatives a été introduite avec succès. Trois articles ont été publiés et un mémoire de maîtrise a été présenté.

TITRE:

Conception et simulation d'une boucle à verrouillage de phase à très large bande en CMOS.

RÉSUMÉ:

Mon projet consiste à réaliser une boucle à verrouillage de phase (PLL) pouvant atteindre des fréquences de verrouillage de 2Ghz. L'architecture de cette boucle est axée sur des techniques qui permettent à la boucle d'opérer à de très hautes fréquences tout en minimisant les bruits qui pourront être injectés des sources d'alimentation. Pour cela, une architecture différentielle basée sur des miroirs de courant à large gamme dynamique (wide swing) a été utilisée pour concevoir l'oscillateur contrôlé par tension (VCO) du PLL.

PROBLÉMATIQUE:

Avec l'augmentation des fréquences d'horloge utilisées dans les systèmes synchrones et l'intégration de plus en plus poussée des systèmes radio-fréquence, le besoin des PLLs (Phase-Locked-Loop) intégrés à large bande se fait de plus en plus sentir. Ce besoin d'intégration et d'augmentation de la vitesse, nous a motivé à concevoir un PLL avec la technologie CMOS 0.25 micron pouvant verrouiller sur des fréquences de 1.5 Ghz et plus.

MÉTHODOLOGIE:

Les circuits qui fonctionnent à un débit élevé de 1 Ghz et plus sont souvent réalisés avec des circuits nécessitant des processus de fabrication coûteux comme les GaAs et les bipolaires. Le défi de ce projet est de proposer un système en l'occurrence le PLL fonctionnant à des hauts débits mais utilisant une technologie CMOS dont le processus de fabrication est beaucoup moins cher que celui des bipolaires ou des GaAs, pouvant atteindre des densités élevées et une consommation minimale.

On procédera de la manière suivante:

- Faire le design schématique du PLL
- Faire des simulations avec Spectre de Cadence jusqu'à l'obtention des résultats voulus.

RÉSULTATS:

Le design a été conçu et simulé et les résultats attendus ont été obtenus.

TITRE:

Système intégré CMOS implantable pour l'acquisition des activités vésicales par le biais de leurs voies neuronales.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit électronique intégré CMOS implantable destiné à corriger les dysfonctions urinaires

PROBLÉMATIQUE:

Le travail consiste à concevoir et à réaliser un circuit intégré CMOS pour capter des signaux électriques différentiels de très faible amplitude et à basse fréquence. Le signal sera ensuite traité pour en extraire de l'information selon l'application visée. Pour des applications biomédicales, tel que l'implant électronique destiné à la restauration des fonctions urinaires, le circuit informerait le patient de l'état de son volume vésical et joue le rôle d'une boucle de retour pour le contrôle de la stimulation. Cette partie réaliserait les fonctions suivantes:

La détection du volume vésical; la communication de l'information détectée au contrôleur principal de l'implant; et l'estimation du temps nécessaire pour le remplissage de la vessie.

Les performances visées pour ce système découlent de la qualité du signal acquis (amplitude, interférence, etc.). De plus, étant approvisionné par de l'énergie transmise de l'extérieur et une petite pile implantée, ce système ne devrait pas consommer beaucoup d'énergie. En résumé, le circuit d'acquisition devrait jouir d'un niveau de bruit faible, d'une consommation faible, d'une tension d'alimentation faible et d'une surface de silicium faible pour minimiser la taille du dispositif implanté.

MÉTHODOLOGIE:

Les quelques approches de détection du volume vésical localisées lors de notre revue de littérature nous ont guidé pour examiner les voies neuronales servant à transmettre au cerveau les informations sur l'état du système urinaire. Nous avons procédé à l'examen des techniques de surveillance des activités neuronales et nous avons opté au prélèvement de l'électroneurogramme (ENG) reliés à la vessie. L'incertitude dans cette approche est qu'on ignore l'allure des signaux qui innervent la vessie et la difficulté reliée à leur mesure car ils sont, en général, de très faible amplitude, de basse fréquence et sont contaminés par de l'interférence (L'électromyogramme "EMG", 60 Hz, etc.).

Pour atteindre nos objectifs, nous avons divisé le travail en deux étapes:

- Concevoir et réaliser un système d'acquisition de signal commandé par ordinateur pour déterminer le comportement du signal nerveux en fonction du volume de la vessie;
- Concevoir et réaliser un circuit intégré CMOS qui est en mesure d'accomplir les fonctions du système d'acquisition ainsi que les fonctions de traitement du signal pour pouvoir générer l'information sur l'état du volume de la vessie.

Lors de la première étape et avec le système proposé, nous avons pu déterminer le comportement et l'allure de l'ENG en fonction du volume vésical et des artefacts. Le système proposé est basé sur:

- Une gaine ("cuff") contenant trois électrodes utilisée comme interface entre le nerf et le système électrique;
- Un amplificateur à gain programmable basé sur des amplificateurs d'instrumentation commercialisés à très faible bruit;
- Une carte d'acquisition de données commandée par ordinateur;
- Un logiciel de traitement du signal off-line.

À partir des résultats obtenus, nous avons abordé la deuxième étape et conçu le schéma bloc du circuit intégré implantable à réaliser. Le circuit serait composé:

- D'un amplificateur d'instrumentation (amplificateur différentiel) à faible bruit;
- Un circuit de traitement du signal analogique;
- Un convertisseur analogique-numérique;
- Un circuit de traitement de signal numérique qui, entre autre, réalise l'algorithme pour l'extraction du volume vésical et l'élimination des artefacts.

Il est sous-entendu que les objectifs visés pourraient entraîner des modifications sur la composition du système. Le circuit sera ensuite implémenté et fabriqué en technologie CMOS. Des tests au laboratoire et in vivo suivent pour déterminer ses performances.

RÉSULTATS:

La première composante du circuit intégré a été conçue, réalisée et testée avec de bons résultats qui seront soumis à un journal. Nous sommes en phase de conception du circuit de traitement analogique du signal tout en visant de minimiser la partie numérique.

TITRE:

Intégration d'un contrôleur externe dédié à un implant visuel.

RÉSUMÉ:

Le projet consiste à intégrer sur une même puce toutes les parties du contrôleur externe qui ont été développées dans les prototypes précédents. Les différentes parties comprennent entre autre un capteur d'image de type CMOS, un convertisseur analogique à numérique (CAN) de type semi-flash, une unité de traitement numérique servant à améliorer les caractéristiques visuelles des images et une unité de formation de mots de commandes définissant les paramètres de stimulation.

PROBLÉMATIQUE:

Pour permettre aux non-voyants de récupérer une vision fonctionnelle, nous utilisons un implant de type cortical, c'est-à-dire que la stimulation s'effectue directement dans le cerveau. Le stimulateur visuel est constitué de deux parties: la partie implantable (ou implant) et le contrôleur externe. Le but du présent projet est de procéder à l'intégration sur une seule puce des fonctionnalités qui ont été préalablement testées avec les prototypes précédemment réalisés. Une fois l'intégration terminée, le système devra être capable de transformer une scène réelle en information de stimulation.

MÉTHODOLOGIE:

L'image est acquise grâce à un capteur fabriqué avec un procédé CMOS standard. Chaque pixel est numérisé avec un CAN semi-flash et mémorisé dans une cellule de mémoire ayant les mêmes dimensions que l'image. Une unité de traitement numérique se charge alors de procéder à une égalisation d'histogramme résultant en une luminosité plus équilibrée et de meilleurs contrastes. L'image est ensuite transférée parallèlement dans une autre cellule de mémoire où elle est balayée de façon non séquentielle correspondant au balayage effectué par l'implant. Le balayage non séquentiel est nécessaire puisqu'il est impossible de stimuler deux sites rapprochés à l'intérieur d'un certain intervalle de temps (temps de repolarisation). L'image est finalement encodée en mots de commande.

RÉSULTATS:

L'intégration est à ses débuts. Le capteur CMOS, l'unité de traitement numérique et certaines unités de mémorisation sont présentement en fabrication. L'intégration du reste des fonctionnalités suivra.

TITRE:

Synthèse de processeurs embarqués dédiés.

RÉSUMÉ:

Le projet consiste à modifier et adapter une architecture de processeur de traitement de signaux de type SIMD, de façon à pouvoir synthétiser le circuit minimal permettant d'exécuter une application logicielle spécifique sur celui-ci. Pour ce faire, on doit avoir une version entièrement configurable et optimisable du modèle VHDL synthétisable. De plus, on doit avoir un jeu d'outils logiciels permettant d'optimiser le modèle en fonction de l'application visée. Ceux-ci permettent d'optimiser la synthèse du circuit final en tenant compte de l'application visée, et des ressources du circuit dont celle-ci a besoin pour s'exécuter correctement.

PROBLÉMATIQUE:

Avec l'avènement de circuits intégrés complexes permettant la réalisation de systèmes complets sur un seul circuit, l'utilisation de modèles de processeurs (cores) dans la conception de systèmes embarqués est devenue un choix pratique et économique au point de vue du temps de développement. En effet, le concepteur n'a qu'à choisir un modèle de processeur et écrire l'application qui va être exécutée sur celui-ci. Toutefois, ceci produit un gaspillage des ressources au niveau du circuit qui va être produit. En effet, comme celui-ci n'a pas été conçu en fonction de l'application spécifique visée, de nombreuses composantes du circuit risquent de ne pas être utilisées lors de l'exécution du programme. En générant un circuit optimisé pour une application spécifique, on élimine le gaspillage de ressources, que l'on pourra réallouer à d'autres fins dans le système embarqué.

MÉTHODOLOGIE:

Une nouvelle architecture adaptée sur les bases de PULSE doit être développée de façon à permettre une optimisation automatique du circuit en fonction de l'application. Le contrôleur et le chemin de données doivent être codés de façon à pouvoir être modifiés globalement de façon automatique.

Un outil logiciel permettra ensuite l'analyse du microcode d'une application. Ensuite, on procédera à une optimisation automatique du circuit et du microcode en fonction de cette analyse. Le circuit final sera ensuite synthétisé par un outil de synthèse commercial.

RÉSULTATS:

Un nouveau contrôleur doit être construit pour s'adapter aux besoins de l'optimisation. Il est présentement en cours de développement. Le chemin de données est développé conjointement par Alexandre Fortin.

L'outil d'analyse du microcode est présentement terminé. Il restera à compléter ultérieurement le couplage avec l'outil d'optimisation du circuit et du microcode. L'outil d'optimisation sera réalisé lorsque le modèle VHDL du processeur complet sera terminé.

TITRE:

Picasso: Un outil de co-design logiciel/matériel pour la synthèse de systèmes embarqués.

RÉSUMÉ:

Le but du présent projet est de développer un outil intégrant une interface graphique (CAO) permettant la capture de spécifications système de haut niveau, en langage C (pour le logiciel) et en langage VHDL (pour le matériel). Des protocoles de communication de haut niveau sont offerts à l'utilisateur pour intégrer au sein même des spécifications, des façons d'échanger des données. Cela permet à des blocs matériels et logiciels de communiquer facilement entre eux, sans distinction. Finalement, un module permet de convertir ces spécifications en un système pouvant être synthétisé par un outil tel que Synopsys. Les spécifications du système pourront être décrites selon la méthode proposée par l'alliance VSIA.

PROBLÉMATIQUE:

L'utilisation de logiciel et de matériel dans le design de systèmes embarqués est une pratique de plus en plus courante. En effet, cela permet un meilleur rapport coût/performance. Pour faire ce type de design, le système doit être décrit à un niveau d'abstraction très élevé (*system level description*). De plus, pour permettre de réduire le temps de design, il faut permettre une implantation rapide des communications entre les modules. On veut aussi pouvoir séparer les communications de la description comportementale des modules pour permettre la réutilisation des différentes parties du système. De ces contraintes est apparu un nouveau concept: la synthèse des communications.

Dans le cadre du projet CIRCUS (Complex Interface Refinement for Codesign Unified System), je travaille à la mise au point de cet outil permettant de faire la capture et le design au plus haut niveau d'abstraction de systèmes embarqués hétérogènes. L'objectif de ce présent projet est de développer au maximum les possibilités de l'outil. On voudrait pouvoir intégrer au logiciel de capture une option permettant de faire le raffinement d'interface dans le but de faire une simulation au niveau RTL du système complet avec le logiciel Seamless de Mentor Graphics.

MÉTHODOLOGIE:

Tout d'abord, une revue de littérature sur les différents outils logiciels de co-design a été effectuée. Ensuite, nous avons fait une sélection des concepts que nous allons retenir de chaque outil, ainsi que de ses possibilités. Puis, nous avons développé l'outil en y intégrant les concepts de capture de haut niveau. Ensuite, la construction d'architecture de communication de base sera nécessaire. Celles-ci seront généralisées pour permettre la communication de haut niveau prévu dans l'outil. Enfin, des mécanismes permettant de transformer les spécifications de haut niveau vers une architecture donnée seront implantés.

RÉSULTATS:

Une première version de l'outil est presque complétée. La communication de haut niveau est totalement définie. Il reste à choisir diverses architectures de communication de bas niveau et à les intégrer à l'outil.

TITRE:

Réduction de bruit $1/f$ par le biais d'un préamplificateur CMOS.

RÉSUMÉ:

Mon projet de recherche consiste en la conception et la réalisation d'un préamplificateur CMOS qui permet de réduire les effets du bruit $1/f$ et de l'offset d'un amplificateur opérationnel. À de faibles fréquences, le bruit $1/f$ et l'offset sont les deux principales sources d'erreurs des amplificateurs opérationnels qui utilisent une entrée différentielle MOS.

PROBLÉMATIQUE:

Avec l'avènement de nouveaux procédés de fabrication en technologie CMOS, certaines caractéristiques aussi essentielles que le S/N, le PSRR et le CMRR se soient améliorées; deux effets secondaires de la réduction d'échelle continuent toutefois de miner les performances des circuits en électronique analogique: le bruit $1/f$ et l'offset d'entrée des amplificateurs.

À de faibles fréquences, le bruit $1/f$ et l'offset sont les deux principales sources de bruit pour des amplificateurs opérationnels qui utilisent une entrée différentielle MOS. Étant donné que le bruit diminue la bande passante du signal d'entrée, la réduction de ce dernier contribue de manière significative à l'amélioration des performances des amplificateurs opérationnels.

MÉTHODOLOGIE:

Il existe deux méthodes généralement utilisées lors de la réduction du bruit $1/f$ et de l'offset ayant chacune des avantages et des inconvénients. Dans ce projet, nous avons porté notre choix sur la méthode «Chopper stabilisation» parce que nous voulons amplifier des signaux continus. Toutefois, ceci n'exclura pas des recherches avec la deuxième méthode dite « correlated double sampling technique » pour des besoins de comparaison.

RÉSULTATS:

Pour l'instant, nous avons réalisé le circuit amplificateur de CHS en CMOS35 et les résultats de simulation ont montré sa bonne fonctionnalité. Le layout dudit circuit a également été complété et sera soumis pour fabrication bientôt.

TITRE:

Technique de linéarisation numérique des amplificateurs de puissance.

RÉSUMÉ:

Ce projet traite d'une technique de linéarisation des amplificateurs de puissance micro-ondes par la méthode de prédistorsion numérique adaptative et de développement des algorithmes exécutés par un circuit de traitement de signal numérique «DSP».

PROBLÉMATIQUE:

Pour une meilleure efficacité énergétique ou afin d'obtenir le maximum de puissance à la sortie, les amplificateurs de puissance sont généralement conditionnés à travailler dans la région non linéaire. Selon la méthode de modulation utilisée, les inconvénients de ces conditions ont pour effet de générer des distorsions (AM-AM; AM-PM) qui dégradent la performance du système. Par conséquent, minimiser ces distorsions nous amènent à l'utilisation des techniques de linéarisation analogiques et numériques.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Calcul des intervalles de variation des paramètres selon les spécifications d'un amplificateur de puissance; ceux-ci permettront de connaître les paramètres du signal d'excitation, l'échantillonnage et la quantification de la puissance.
- Simulation du système composé des parties analogiques (radio fréquence) et numérique « DSP », en utilisant un logiciel de traitement numérique de signaux «SPW» (Signal Processing Work System). Cette simulation permettra de connaître des résultats en fonction de différents algorithmes.
- Analyse des résultats à travers des valeurs des paramètres et graphiques obtenus, ce qui nous permettra d'évaluer les avantages et les inconvénients par rapport aux différentes techniques de linéarisation.
- Validation de l'ensemble du système sur une machine Pentium ayant une carte de développement DSP C40 et les modules de conversion N/A et A/N nécessaires.

RÉSULTATS:

Des résultats des simulations sur SPW et une validation préliminaire sur un processeur TMS320C40 ont été obtenus et on peut noter que la technique offre une bonne réduction des bruits d'inter modulation (AM-AM, AM-PM).

TITRE:

Algorithmes et architectures de calcul spécialisés pour un système optique autosynchronisé à précision accrue.

RÉSUMÉ:

L'imagerie 3D constitue un domaine d'application fréquemment rencontrée dans les applications médicales, militaires ou spatiales. Une très grande importance est accordée à la précision de l'enveloppe 3D lors de sa reconstitution. Plusieurs facteurs peuvent altérer la précision de cette enveloppe 3D. Cette thèse vise à proposer des méthodes de correction de l'erreur engendrée par une variation de réflectance et des architectures VLSI capables d'accélérer cette correction pour des systèmes optiques de haute performance.

PROBLÉMATIQUE:

La variation de réflectance constitue un des facteurs importants qui affectent la précision des cameras optiques 3D. Lorsque la réflectance d'un objet est uniforme, le signal laser réfléchi est de distribution gaussienne et la mesure courante est correcte. Cependant, lorsque cette réflectance est variable (saut, gradient, etc) le signal laser réfléchi est déformé, ce qui conduit à une mesure erronée. Le but de ce travail est de développer des méthodes de correction de l'erreur engendrée par une variation de réflectance pour des systèmes optiques de haute performance.

MÉTHODOLOGIE:

Une étape importante est d'abord de modéliser la relation entre le signal laser émis et le signal laser intégré par le détecteur optique en présence d'un signal de réflectance. La seconde étape consiste à analyser, à partir de la relation développée, le déplacement du centre de masse d'un signal erroné par rapport à la position du centre de masse du signal non erroné.

RÉSULTATS:

Une relation de premier ordre entre le signal émis et le signal laser intégré par le détecteur a été développée. Cette relation a été utilisée pour développer deux méthodes de correction.

Les résultats obtenus ont permis une correction présentant une précision supérieure ou égale à la résolution du système

TITRE:

Méthodes de conception pour la testabilité pour les circuits CML bipolaires.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de fautes adéquate. À partir de propositions découlant de travaux antérieurs, quelques méthodes spécifiques à la technologie CML seront étudiées.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes repose sur le fait qu'un défaut de fabrication sera traduit, souvent, par un collage. Les collages dans un circuit CML représentent seulement une petite portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: une porte avec un défaut, à son signal de sortie altéré mais après un ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit, soit viser une détection plus fine, soit annuler l'effet de masquage.

MÉTHODOLOGIE:

Les méthodes envisagées reposent principalement sur deux mesures des signaux de sortie: l'amplitude du signal et la marge de bruit. Ces méthodes n'ont pas été caractérisées dans un contexte global et la procédure d'application pour le test n'a pas encore été élaborée. Les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation des méthodes proposées;
- Analyse de leur effet sur la couverture de fautes;
- Étude d'une proposition d'amélioration de certaines de ces méthodes;
- Proposition d'implantation au niveau layout;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

Dans un premier temps, la méthode BAS (Biais Altering Stressing) a été caractérisée et ses limites d'application ont pu être énoncées. Des propositions sur sa modification sont à l'étude.

L'étude d'une deuxième méthode de test a été entreprise. Un problème d'application de la méthode dans un contexte global requiert une étude plus élevée.

TITRE:

Étude de fiabilité des résistances diffusées par laser et fabrication de résistances à coefficient thermique constant.

RÉSUMÉ:

Plusieurs applications microélectroniques analogiques requièrent des résistances de valeur très précise. Parmi les techniques d'ajustement actuellement disponibles, la plus répandue est une technique d'ablation par laser d'une couche mince résistive. Cette méthode comporte par contre certains désavantages, notamment la modification de la valeur de la résistance par recristallisation du matériau résistif. Yves Gagnon a développé une méthode permettant d'ajuster de façon beaucoup plus précise ces résistances. La méthode consiste à diffuser une quantité de dopant entre deux diodes face-à-face; le taux de dopage contrôlant la valeur de la résistance.

PROBLÉMATIQUE:

Bien que ces résistances aient démontré leur grande utilité, elles doivent cependant être caractérisées en fiabilité et en coefficient thermique avant d'être mise en marché. De plus, comprendre comment la fabrication de ces résistances influe sur leurs caractéristiques permettra de mieux contrôler et d'optimiser leurs caractéristiques.

MÉTHODOLOGIE:

Pour effectuer les deux types de caractérisation, on a recours à un four qui permet de maintenir les échantillons à température fixe allant de 25°C à 210°C. Pour les mesures de coefficient thermique, on prend simplement des lectures de résistance à différentes températures. Pour la caractérisation en fiabilité, la théorie d'Arrhénius est employée. En fonctionnant à des températures plus élevées que la normale, les résistances vieillissent plus rapidement. En les testant à plusieurs températures, on peut extrapoler leur durée de vie normale.

RÉSULTATS:

Plusieurs résistances de valeurs variées ont été créées à partir de la même géométrie initiale du dispositif et présentent des coefficients thermiques variés. Les résistances de moins de 1k Ω présentent un coefficient thermique positif, alors que les résistances de plus de 3k Ω présentent un coefficient thermique négatif. Entre ces deux valeurs, la courbe R vs T passe par un minimum. L'exploitation de ce minimum permettrait de faire des résistances à coefficient thermique constant pour une certaine plage de température.

Les mesures de fiabilité n'ont donné aucun résultat jusqu'à maintenant. En effet, les mesures effectuées ne permettent pas de mettre en évidence l'effet du vieillissement. Il a été découvert que les fluctuations de température ambiante du laboratoire au cours d'une journée faussaient les mesures. Plusieurs solutions tant au niveau du montage que de la méthode d'échantillonnage sont présentement mises en application pour parer ce problème.

TITRE:

Conception de circuits analogiques de base tirant avantage de résistances ajustables ayant une très grande précision.

RÉSUMÉ:

Le projet consiste à concevoir et à réaliser certains circuits analogiques tels que:

- Amplificateur opérationnel de grande précision;
- Référence de tension de grande stabilité;
- Convertisseur N/A et A/N;
- Filtre;
- Oscillateur.

PROBLÉMATIQUE:

Dans le monde des circuits intégrés, l'élément résistif a toujours pris une place importante. Or, malgré les progrès de la miniaturisation, la résistance reste encore aujourd'hui un élément relativement gros et sujet aux aléas des procédés de fabrication.

Une récente découverte dans le domaine de la microélectronique permet de réaliser une résistance de la taille d'un transistor et de la calibrer avec une précision jusqu'alors jamais atteinte (0.001%). De plus, cet élément possède, dans une certaine plage de résistance, une très faible dérive en température.

Le but de cette recherche est de tirer avantage de ces résistances en identifiant, modifiant et réalisant des circuits analogiques qui produiront des caractéristiques de précision encore inégalées.

MÉTHODOLOGIE:

Le projet sera réalisé en couvrant les étapes suivantes:

- Recherche bibliographique sur les circuits exploitants des résistances ajustées par découpage laser;
- Étude et adaptation des circuits exploitables et prometteurs;
- Simulation et réalisation des circuits sélectionnés;
- Test sur les circuits soumis à la fabrication.

RÉSULTATS:

Une référence de tension ajustable et un amplificateur opérationnel sont en cours de soumission pour la fabrication.

TITRE :

Développement d'une bibliothèque TSPC de haute performance et conception de gros blocs logiques TSPC (Convolueur 3*3).

RÉSUMÉ :

Le projet comporte deux parties. Premièrement, des règles de dessin et un algorithme ont été développés afin de réaliser des bibliothèques de cellules TSPC (True Single Phase Clocking) de haute performance facilement portable d'une technologie à l'autre. Deuxièmement, un convolueur 3*3 est développé en TSPC avec les cellules logiques créées, afin de vérifier leur performance et d'automatiser les architectures TSPC à haute intégration.

PROBLÉMATIQUE :

Régulièrement de nouvelles technologies CMOS apparaissent et il faut réaliser de nouvelles bibliothèques logiques. Afin de faciliter le travail des concepteurs, nous avons défini un algorithme de conception de cellules TSPC qui pourrait être utilisé de façon automatique. Il s'agit de traiter les informations générées par des outils de stimulation à l'aide d'un programme écrit en langage C à partir d'une netlist extraite d'un outil de dessin des masques. Le but est de diminuer le temps de conception avec de bonnes optimisations.

Le deuxième axe de recherche consiste à développer des techniques et des architectures TSPC opérant à des fréquences supérieures au GHz. Pour ce faire, il faut trouver un compromis entre la latence et l'ultra pipelinage. Il faut également trouver des solutions efficaces face au skew.

MÉTHODOLOGIE :

De nombreuses simulations de cellules TSPC ont permis de trouver les étapes essentielles lors de leur développement. En travaillant par analogie, nous avons pu constater quelles étaient efficaces pour toutes les cellules TSPC de base à sortie partagée. Fort des connaissances acquises dans nos précédentes études, nous essayons de générer des cellules de plus en plus importantes tout en optimisant leur latence par rapport au pipelinage engendré par l'architecture TSPC. Pour réaliser des circuits plus importants, nous devons modéliser le biais de synchronisation admissible pour les cellules critiques et tester différentes topologies de distribution d'horloge.

RÉSULTATS :

Un algorithme de génération et d'optimisation de cellules TSPC a été mis au point et un article a été soumis à ISCAS'99. Une bibliothèque robuste et très performante a été générée en technologie 0.35um. Chaque cellule fonctionne à plus de 2 GHz.

Les travaux d'architecture de blocs logiques TSPC ont débuté avec des améliorations de l'architecture du convolueur 3*3 TSPC afin d'en réduire la latence.

TITRE:

Caractérisation de diodes lasers par des mesures en champ proche.

RÉSUMÉ:

Les techniques de simulation des diodes lasers sont aujourd'hui très sophistiquées. Néanmoins, leur utilisation requiert une bonne connaissance de différents paramètres empiriques. Il s'avère donc utile de pouvoir évaluer ces paramètres de façon expérimentale plutôt que de se fier sur des résultats publiés se rapportant à d'autres composants se voulant similaires. L'objectif est d'obtenir une carte à haute résolution du champ optique émis par le laser et aussi de faire des mesures de température par réflexion.

PROBLÉMATIQUE:

L'introduction de structures à puits quantiques dans les lasers à semi-conducteurs a permis un grand nombre de progrès technologiques importants. Ces composants sont toutefois toujours soumis à certains paramètres mal connus ou difficilement quantifiables tels le taux de recombinaison non radiative et la dépendance en température. Toutefois, ces paramètres pourraient être évalués de façon expérimentale. Il est proposé de construire un banc d'essai pour mesurer en champ proche à l'aide de fibres optiques effilées.

MÉTHODOLOGIE:

La méthode consiste à produire des fibres effilées par attaque chimique et de les montrer dans un système de positionnement mû par des cristaux piézoélectriques. La carte en température à haute résolution est obtenue par balayage en champ proche par la méthode du microscope à effet tunnel.

RÉSULTATS:

Des fibres effilées avec des pointes de l'ordre de 30 nanomètres ont été obtenues. Toute la conception du système d'asservissement est complétée. Les principales pièces mécaniques ont été fabriquées et montées. Quelques vérifications élémentaires ont été faites avec succès.

TITRE:

Estimateurs de performance pour contrôleurs embarqués de haute performance.

RÉSUMÉ:

On s'intéresse aux microprocesseurs embarqués ayant des fonctionnalités pour des opérations de base de traitement de signal (DSP), dont les performances vont de 40 à 200 MIPS. Le domaine d'application visé est la télécommunication pour des applications embarqués de faible consommation (modems rapides, téléphone cellulaire, communications mobiles, etc.). Pour une application donnée, il s'agit de déterminer le type de processeur (TMS320C50, ARM, Lucent, Motorola, etc.) qui rencontre le mieux les spécifications.

PROBLÉMATIQUE:

Dans le domaine des télécommunications et plus particulièrement en téléphonie, une multitude d'applications nécessite d'intégrer (embarquer) le microprocesseur dans un appareil de telle manière à respecter un ensemble de contraintes non fonctionnelles (temps d'exécution, dissipation de puissance, espace mémoire, sécurité, facilité à prédire le temps de développement, etc.). Il est donc clair que pour satisfaire toutes ces contraintes le MIPS, comme métrique de comparaison, ne suffit plus. Il faut par exemple tenir aussi compte du ration MIPS/watt. Il s'agit donc de définir des métriques de performance pour logiciel qui modélisent ces contraintes et qui pour une application donnée détermine le meilleur processeur parmi un ensemble de processeurs (TMS320C50, ARM, Lucent, Motorola, etc.).

MÉTHODOLOGIE:

Dans la littérature actuelle, il existe pour chaque métrique de performance modélisant une contrainte fonctionnelle spécifiée plus haut (temps d'exécution, taille du programme et des données, puissance dissipée, etc.) il existe plusieurs algorithmes permettant une estimation au niveau fonctionnel. Il faut cependant s'assurer que ces estimateurs de niveau fonctionnel modélise bien l'architecture souvent propre à chaque processeur. Lorsque le niveau fonctionnel (en général en langage C) ne suffira plus, il faudra travailler au niveau réalisation (directement avec le code assembleur). L'inconvénient dans ce dernier cas, est qu'il faudra alors restreindre l'ensemble de processeurs (étant donné le temps de développement). Il s'agit donc de faire le bon choix d'estimateurs et d'intégrer chacun de ces estimateurs dans une fonction objective globale.

RÉSULTATS:

Le projet débute et aucun résultat n'est disponible pour l'instant.

TITRE :

Génération de vues par ondelettes.

RÉSUMÉ :

La télé-opération du matériel minier s'avère une avenue de plus en plus favorisée pour l'exécution de tâches dans cet environnement hostile. Pour une télé-opération visuelle, la quantité d'information à transmettre est considérable et il est souhaitable de la réduire au maximum afin de permettre un fonctionnement en temps réel.

PROBLÉMATIQUE :

Pour réduire la quantité de données à transmettre, en l'occurrence le nombre d'images, on peut utiliser des méthodes de compression numérique des signaux, mais on peut aussi la réduire en ne transmettant pas toutes les images nécessaires à l'opérateur. On doit alors générer l'information manquante à partir de celle existante, et ce à la demande de l'opérateur. Dans ce projet, nous réaliserons un système de génération de vues pour être utilisé dans des environnements non-structurés, tel que les environnements miniers.

MÉTHODOLOGIE :

Le système est basé sur un traitement par ondelettes. Deux ou trois images prises de points de vues différents sont tout d'abord acquises sur le site de travail, et leur transformée en ondelettes est calculée. Par la suite, on obtient les arêtes des images pour chaque niveau de décomposition de chacune des images. On obtient alors une représentation d'arêtes qui est plus compacte que la représentation par ondelettes précédentes. Par après, nous extrayons des points caractéristiques directement de la représentation en utilisant l'information acquise aux niveaux grossiers, i.e. nous effectuons une recherche multi-résolution. Par la suite, les représentations multi-résolutions des images sources sont mises en correspondance.

Avec l'information de la mise en correspondance, nous calculons le tenseur trilineaire, qui permet la synthèse de vues à partir de positions arbitraires de la caméra virtuelle. Une méthode linéaire de calcul du tenseur sera tout d'abord testée, et ensuite une méthode non-linéaire pourra aussi être testée. A partir du tenseur trilineaire, nous construirons tous les niveaux de la représentation d'arêtes pour le point de vue commandé par l'opérateur. On reconstruit finalement l'image en inversant la transformée en ondelettes. Pour une application en temps réel, on peut arrêter la reconstruction à un niveau intermédiaire selon le temps disponible. On a alors une approximation de l'image désirée, mais qui peut être suffisante pour certaines applications.

RÉSULTATS :

Une transformée en ondelettes invariante sous translations a été testée sur des images réelles et synthétiques, afin d'expérimenter la qualité de la détection des arêtes. Un algorithme multi-échelle de détection des points caractéristiques a été élaboré et testé sur des images réelles. Quelques algorithmes de mise en correspondance ont aussi été testés sur les points caractéristiques détectés dans le domaine des ondelettes.

TITRE:

Caractérisation d'une méthode de test pour les circuits bipolaires CML basée sur l'injection de biais contrôlés.

RÉSUMÉ:

Les technologies de type bipolaire, et en particulier, la technologie CML, sont peu étudiées et documentées. En ce qui concerne les méthodes de test pour les circuits conçus avec ces technologies, rien de spécifique n'existe et les méthodes conventionnelles, employées par exemple avec des circuits CMOS, ne sont pas suffisantes pour garantir une couverture de fautes adéquates. Des travaux antérieurs permettent de croire qu'une méthode de test injectant des biais contrôlés pourrait améliorer la couverture de fautes.

PROBLÉMATIQUE:

La majorité des techniques de détection de fautes repose sur le fait qu'un défaut de fabrication sera traduit, souvent, par un collage. Les collages dans un circuit CML représentent seulement une petite portion des fautes que l'on peut détecter. En effet, parmi les caractéristiques de la technologie CML, on note la capacité de régénération du signal d'un niveau de circuit à l'autre: une porte avec un défaut, à son signal de sortie altéré mais après une ou quelques niveaux suivants, le signal aura retrouvé sa valeur nominale; il y aura donc masquage de la faute. Donc, toute technique reposant sur l'évaluation du niveau des signaux aux ports de sortie est insuffisante.

Une technique de test pour les circuits CML doit viser une détection plus fine ce qui peut devenir coûteux. Ou alors, il faut trouver une façon de propager l'altération du signal jusqu'aux ports de sortie. Une telle méthode a été proposée par IBM: il s'agit d'injecter un biais sur le signal de sortie de sorte que l'effet supplémentaire causé par une faute, produira un niveau de signal tel qu'il ne pourra plus être régénéré et qu'il causera alors un collage. Et la détection est alors aussi simple que dans les techniques usuelles.

MÉTHODOLOGIE:

Cette méthode de test n'a pas été documentée. Il nous faut donc déterminer les règles de design des circuits CML incorporant cette technique ainsi que les règles de son utilisation. Pour ce faire, les différentes étapes proposées pour atteindre l'objectif d'une méthode de test adaptée aux circuits CML sont:

- Caractérisation de l'effet de l'injection des biais sur 1 porte CML;
- Étude de la relation force du biais et couverture de fautes;
- Étude d'une proposition d'amélioration de la méthode;
- Caractérisation de l'injection de biais dans un circuit complexe en vue d'obtenir des règles d'application;
- Évaluation des possibilités de modification après conception.

RÉSULTATS:

Dans un premier temps, un simple outil d'aide à la conception du circuit d'injection de biais a été conçu (dans le but d'accélérer le calcul des composantes). Puis la production des vues schématiques et du netlist correspondant des nouvelles cellules de la technologie a été faite. Un outil automatisant la simulation pour tous les cas d'injection de biais sur une porte a également été élaboré. Les résultats de ces simulations permettent d'orienter les simulations sur des circuits plus complexes. La partie niveau du biais en relation avec le niveau de couvertures de fautes en est à ses débuts et seuls quelques résultats préliminaires sont disponibles.

TITRE:

Échantillonnage électro-optique.

RÉSUMÉ:

L'échantillonnage électro-optique est une technique pour mesurer des signaux électriques ultra-rapides, grâce à sa grande sensibilité et son temps de résolution très court. Un système optique sophistiqué est nécessaire en plus d'une source laser produisant des impulsions femtoseconde avec un taux de répétition élevé.

PROBLÉMATIQUE:

Plusieurs problèmes se posent lors de la génération et la caractérisation des signaux électriques. Citons par exemple le type de matériel semi-conducteur utilisé, l'atténuation et la dispersion du signal à partir du point où il est généré jusqu'au point où se fait la mesure et la sensibilité du cristal électro-optique. Tous ces facteurs doivent être analysés pour améliorer les performances.

MÉTHODOLOGIE:

Utilisant notre système expérimental, nous étudions la génération des signaux électriques ultra-rapides produits par des composants à semi-conducteurs basés sur de nouveaux concepts et de nouvelles structures. Des impulsions électriques < 10 ps sont nécessaires pour les grandes vitesses de modulation des diodes lasers. Des lignes de transmission à faible dispersion doivent être fabriquées et étudiées. Pour accorder l'étude théorique et expérimentale un simulateur doit être développé.

RÉSULTATS:

Le système électro-optique (à la base de LiTaO₃) activé par une source laser Ti-saphire produisant des impulsions d'environ 35 fs est déjà en place. Des composants optoélectronique à base de InP sont déjà fabriqués. Comme premier résultat; des signaux électriques très courts de largeur à mi-hauteur de l'ordre de 6 ps ont déjà été obtenus.

Des circuits et des pièces mécaniques pour le montage de diodes lasers ont été réalisés. De nouveaux commutateurs par photoconduction ont été fabriqués et testés. Les résultats expérimentaux attendent une interprétation physique.

TITRE:

Synthèse de réseaux de distribution d'horloge en présence de variations des procédés de fabrication.

RÉSUMÉ:

Notre thèse tente de dépasser le cadre de la modélisation indirecte et simpliste (rencontrée dans la littérature actuelle) de l'effet des variations des procédés de fabrication (VPF) sur le biais de synchronisation (BS) dans les systèmes intégrés synchrones. Elle propose des approches aussi bien analytique, algorithmique et au niveau circuit, que des attitudes au niveau conception, afin de rendre la structure de distribution d'horloge la plus tolérante (ou si possible insensible) aux VPF.

PROBLÉMATIQUE:

Le biais de synchronisation (BS) est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Le BS peut être dû à des asymétries dans la conception de systèmes intégrés synchrones, aux variations de température, aux fluctuations de l'alimentation et à des phénomènes électriques. Si ces phénomènes sont bien traités dans la littérature, les effets des variations des paramètres géométriques et électriques du procédé de fabrication (VPF) sont, par contre, très peu explorés. L'impact des VPF sur le BS (et la fiabilité en général) peut être handicapant pour des systèmes synchrones de grande dimension ou opérant à grande vitesse.

MÉTHODOLOGIE:

L'effet des VPF est d'abord étudié à l'aide d'une modélisation analytique simple de 1^{er} ordre sous forme de variations spatiales de la constante de temps du transistor. Il s'agit de déterminer dans quelle mesure les VPF peuvent désynchroniser une structure de distribution d'horloge a priori équilibrée. Sur la base de ces résultats préliminaires, il faut ensuite concevoir une validation expérimentale qui permette d'établir une cartographie des VPF aux niveaux des dés et tranches. En fonction des résultats expérimentaux, on peut alors étudier le comportement d'architectures VLSI et WSI typiques, et imaginer des techniques algorithmiques et au niveau circuit afin d'optimiser les performances (BS, puissance, fréquence d'opération,...) d'arbres d'horloge en présence de VPF.

RÉSULTATS:

Un exemple typique d'architecture régulière, une matrice de processeurs à charges identiques, a été traitée à l'aide d'une approche analytique aux niveaux d'intégration VLSI et WSI. L'une des conclusions de cette analyse est la progression quadratique du BS en fonction de la taille du système. Par ailleurs, nous avons montré que les arbres d'horloge avec tampons (buffer) permettent (dans le cas de degrés de pipeline extrêmes) d'atteindre la limite des fréquences d'opération permises en théorie. Cet avantage, néanmoins, engendre une contrainte de dissipation de puissance, que nous avons évaluée et pour laquelle nous avons proposé deux solutions. Une caractérisation expérimentale des VPF a été conçue et validée avec une technologie de NORTEL. Nous avons observé des phénomènes aussi bien déterministes qu'aléatoires qui semblent expliquer les VPF ressentis aux échelles des dés et des tranches de silicium. Sur le plan algorithmique enfin, nous avons conçu une méthodologie de compensation au niveau circuit des effets des VPF sur le BS d'architectures synchrones irrégulières.

TITRE :

Techniques et méthodes de conception des systèmes intégrés.

RÉSUMÉ :

Ce projet vise l'élaboration des techniques et méthodes de conception et de vérification des circuits intégrés de type SOC (System-On-Chip). La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (Silicon Intellectual Property cores) ou « virtual components (VC) » afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE :

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées exposent la dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, où les outils CAD/CAE et la technologie de fabrication sont en constante évolution et où les bibliothèques des composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE :

Le projet sera réalisé en suivant la méthodologie suivante:

- Étude comparative des interfaces de communication actuelles incluant les standards PCI, AMBA et CoreConnect;
- Définition et spécification de l'architecture basée sur l'utilisation et la gestion de canaux de communication dédiés;
- Validation du protocole de communication proposé utilisant un processeur ARM;
- Implantation matérielle d'un prototype;
- Test du prototype réalisé.

RÉSULTATS :

L'implantation matérielle d'une première version d'un FIFO à canaux virtuel a été réalisée avec une technologie CMOS 0.35 micron.

TITRE:

Algorithme de partitionnement hardware/software au niveau système.

RÉSUMÉ:

Le projet de notre thèse consiste à développer un environnement de conception automatique qui permet d'explorer différentes possibilités d'implémentation pour un même système en entrée. Cet environnement de travail au niveau système propose en sortie un ensemble d'alternatives pour l'implémentation du système. Ces alternatives sont fournies avec des évaluations de performance et de coût afin de permettre au concepteur de sélectionner l'implémentation qui satisfait le mieux les contraintes imposées.

PROBLÉMATIQUE:

Avec la croissance de la complexité des systèmes digitaux, il y a eu, ces dernières années, l'émergence d'une nouvelle idée qui consiste à implémenter les systèmes digitaux en deux parties, une partie matérielle pour les fonctions les plus critiques du point de vue vitesse et une partie logicielle pour les fonctions moins critiques. Un tel partitionnement permet la réduction du coût global par rapport à une implémentation complètement matérielle. Néanmoins, un tel processus est difficile à automatiser du fait, premièrement, de l'inexistence d'un modèle assez général pour supporter aussi bien une modélisation logicielle que matérielle et, deuxièmement, qu'un algorithme de partitionnement matériel/logiciel automatique doit être capable d'extraire, à partir de la description d'entrée et de l'architecture ciblée, tous les paramètres nécessaires à une prise de décision. Ces paramètres sont le temps d'exécution et le coût de chaque implémentation, ainsi que le coût de l'interface requise entre les deux partitions logicielle et matérielle.

MÉTHODOLOGIE:

Le problème du partitionnement matériel/logiciel pour la cosynthèse d'un système a été traité selon les étapes suivantes:

- Un modèle hiérarchique est considéré pour le système en entrée. La hiérarchie permet de considérer différents niveaux de complexité pour le même système.
- Une analyse de ce modèle consiste à extraire des paramètres tel que le type de fonctions utilisées, la fréquence d'utilisation de chacune des fonctions ainsi que toutes les dépendances et les interactions entre les différents blocs du système.
- La dernière étape consiste alors à faire le partitionnement en utilisant la théorie des graphes. Un graphe de dépendance est utilisé où les nœuds sont les blocs du système et les arcs entre les nœuds sont pondérés par le degré de dépendance entre les blocs. Ce graphe est finalement partitionné en deux cliques selon une heuristique de partitionnement.

RÉSULTATS:

Toutes les étapes du projet ont été implémentées en C++. L'étape de validation a été réalisée en considérant une architecture cible. Cette architecture est constituée de deux processeurs concurrents, PULSE et le processeur standard C40. Des algorithmes de traitement de signal ont été mappés sur cette architecture et une évaluation de leur performance a été réalisée. Le projet est complètement terminé et toutes les validations ont été réalisées.

TITRE:

Modélisation des pannes dans les circuits numériques rapides réalisés en technologie bipolaire ECL et CML.

RÉSUMÉ:

Dans la première partie de notre projet, nous voulons observer, définir, caractériser et modéliser les pannes non-conventionnelles rencontrées dans des circuits VLSI ECL-CML (emitter coupled logic-current mode logic). En deuxième lieu, nous voulons utiliser les modèles et algorithmes ainsi développés pour les confronter à des bibliothèques de cellules de base existantes. La technologie étudiée a été récemment introduite par la SMC (Société canadienne de microélectronique) sous le nom de NT25. Cette recherche se fait dans le cadre d'un contrat avec Nortel.

PROBLÉMATIQUE:

Les circuits ECL-CML sont d'un intérêt certain pour les applications nécessitant des vitesses d'opération dépassant quelques gigahertz (GHz). Ces vitesses sont difficilement atteignables en CMOS. Les propriétés de la technologie bipolaire et la nature différentielle de ces familles logiques les rendent par contre plus difficile à tester que les circuits CMOS conventionnels. En effet, les modèles « collé-à » utilisés de manière systématique dans les tests des circuits des circuits VLSI CMOS ne permettent pas de modéliser correctement certaines classes de pannes rencontrées dans les circuits ECL-CML bipolaires. De plus, il existe un vide dans la littérature sur le sujet, d'autant plus que les circuits bipolaires sont très souvent utilisés dans des applications analogiques plutôt que numériques. Dans ce travail, nous tentons d'élaborer des règles générales décrivant les pannes rencontrées dans ces circuits (marges de bruits réduits, pannes de complémentarité, pannes différentielles, délais,...).

MÉTHODOLOGIE:

À l'aide des logiciels disponibles (Cadence, Synopsys, HSpice, Spectre ...), nous voulons développer des outils automatiques de caractérisation des pannes non-conventionnelles et les utiliser sur des circuits VLSI réalisés en technologie NT25, pour ainsi établir des couvertures de panne associées à nos modèles. Les modèles et les outils sont modifiés systématiquement jusqu'à l'obtention d'un ensemble de pannes réalistes et de couvertures acceptables.

RÉSULTATS:

Trois rapports détaillés ont été livrés dont un est une revue de littérature exhaustive sur le sujet, l'autre un ensemble de résultats préliminaires sur une analyse des pannes possibles dans une bibliothèque de cellules développée par Nortel, et le dernier complète ces résultats.

Des outils d'analyse de panne ainsi que des techniques et structures de test ont été développés. Le design d'une puce d'essai a été effectué et documenté. Cette puce est en phase finale de développement. Un stage a été effectué chez Nortel.

TITRE:

Réalisation de microélectrodes actives en microélectronique pour la Tomographie d'Impédance Électrique (TIE).

RÉSUMÉ:

L'institut de génie biomédical de l'École Polytechnique de Montréal a développé au cours des huit dernières années, trois générations de systèmes de TIE, de plus en plus perfectionnés. Le dernier système possède 16 électrodes actives que l'on dispose autour du torse d'un patient pour obtenir une image de la distribution de conductivité des tissus.

PROBLÉMATIQUE:

Le système semble être mature pour une prochaine application clinique cependant bien que les dernières électrodes actives aient été réalisées en CMS, les dimensions du circuit de chaque électrode est encore trop important et posent des problèmes de positionnement et de confort pour le patient. De plus, il serait intéressant de pouvoir disposer de plus de 16 électrodes, permettant ainsi d'améliorer la qualité des mesures obtenues.

MÉTHODOLOGIE:

La première étape consiste à étudier les circuits déjà réalisés afin de choisir la technologie la plus appropriée et différencier les différents composants à réaliser. Ensuite, l'ensemble du circuit VLSI sera réalisé dans la technologie choisie.

RÉSULTATS:

Les différents circuits ont été réalisés et simulés sous Cadence. La technologie CMOS 1.5um de Mitel a été retenue pour toute la réalisation du projet. Il reste à améliorer les caractéristiques des différents modules et de les incorporer au sein d'un même composant VLSI.

Les résultats des premières simulations sont encourageants.

TITRE:

Conception d'un système de post-traitement vidéo pour un corrélateur optique.

RÉSUMÉ:

La corrélation est une technique qui permet de mesurer le taux de similitude existant entre deux signaux. Un corrélateur optique peut ainsi détecter la présence d'un objet à rechercher dans une image d'entrée et ce à la vitesse de la lumière. Pour ce faire, un filtre spatial (F.S.) dérivé de l'objet à identifier est reproduit sur un modulateur spatial de lumière dans le système. La corrélation 2-D est obtenue en multipliant la transformée de Fourier (T.F.) de l'image d'entrée par le F.S. et en appliquant une T.F. inverse sur ce produit. En sortie, le plan de corrélation possède un pic intense et étroit à l'emplacement de l'objet lorsqu'il est présent en entrée.

PROBLÉMATIQUE:

Un corrélateur optique peut traiter énormément d'informations en temps réel. La principale difficulté vient de l'analyse du résultat de la corrélation. Les plans de corrélation, principalement composés de pics lumineux, doivent être analysés à la même vitesse que le traitement du corrélateur, afin d'éviter une surcharge croissante du post-traitement. De plus, le système doit être capable de décider de la présence ou de l'absence de l'objet recherché dans l'image d'entrée. La proposition d'un algorithme basé sur la comparaison de mesures à des paramètres devra être réalisée afin que la prise de décision soit la plus efficace possible. La finalité du projet dépendra de la technologie choisie pour réaliser le système de post-traitement.

MÉTHODOLOGIE:

- Recherche bibliographique sur les corrélateurs optiques, la T.F. 2D, les F.S., les modulateurs spatiaux de lumière et les mesures de performance des corrélateurs optiques.
- Proposition et simulation de mesures d'évaluation de pic de corrélation.
- Proposition d'un algorithme de post-traitement d'un corrélateur optique.
- Choix d'une technologie pour la réalisation.

RÉSULTATS:

Une importante recherche bibliographique sur les corrélateurs optiques a été réalisée, ce qui a permis de faire une synthèse sur le sujet des corrélateurs. Une banque d'images représentant des plans de corrélation d'un corrélateur optique A. Vander Lugt a été mise sur pied. Des mesures d'évaluation de pics de corrélation ont été proposées et appliquées sur la banque d'images.

TITRE :

Système géomatique pour la télésurveillance d'un réseau de câblo-distribution.

RÉSUMÉ :

L'objectif du projet est l'implantation d'un système d'information géographique (SIG) pour la télésurveillance d'un réseau de câblo-distribution et de fibres optiques. Effectivement, il s'agit d'un système d'analyse, de visualisation et d'aide à la décision lors de pannes ou réceptions d'alarme en provenance des équipements.

PROBLÉMATIQUE :

Ce système devra fonctionner en temps réel à contrainte douce, afin d'assurer une bonne qualité du signal en tout temps. Le système sera doté de bases de données couvrant les données d'un grand territoire, soit le réseau VIDÉOTRON au Québec. Cette base de données comprend entre autres des données géographiques et textuelles sur les équipements et câbles ainsi que des données pour le repérage géographique qui inclut notamment les bâtiments, les rues, les adresses, et dans quelques régions des données sur les autres réseaux des mêmes secteurs. Le volume de données total à travers la province est d'environ 15 Giga-octets, actuellement répartis parmi 14 serveurs qui comprennent chacun au moins une carte géomatique représentant leur région respective. Ces données devront pour la télésurveillance être rassemblées dans un même serveur. De plus, étant donné qu'il s'agit d'un système temps réel, la navigation à travers les régions et les différentes bases de données devra se faire dans un temps acceptable.

MÉTHODOLOGIE :

Dans le cadre de ce projet, l'utilisation d'un outil géomatique, qui est un SIG incluant un système de gestion de base de données (SGBD), s'avérait efficace pour l'analyse et la visualisation des alarmes. En effet, le SIG permet de lier l'information textuelle présente sous forme d'entité dans le SGBD à des éléments graphiques inclus dans des cartes vectorielles tels que des câbles ou des équipements de réseau.

Puisque la télésurveillance couvre une grande superficie géographique, on ne pouvait se permettre de gérer à la fois toutes les données de la province. C'est pourquoi, l'information a dû être segmentée et une solution a été implantée. Les informations indispensables au bon fonctionnement du système et à l'assistance de l'utilisateur ont été exportées des serveurs de production. Ces dernières ont ensuite été importées sur les serveurs de télésurveillance (un provincial et un régional). Toutes les données présentes dans le système sont sous forme de vecteurs. Contrairement, aux attentes, les cartes à balayage n'ont pas été nécessaires, car les temps de réponses des vecteurs étaient respectables. De plus, l'affichage de ces dernières est beaucoup plus clair et surtout précise. Tous les vecteurs emmagasinés dans les cartes, ont été associés à des données textuelles emmagasinées dans un SGBD. Ce dernier, est un SGBD construit spécifiquement pour le GIS, car les résultats obtenus à l'aide d'un SGBD commercial n'ont pas été satisfaisants.

RÉSULTATS :

Les données ont été structurées de façon hiérarchique : plusieurs niveaux d'information seront présents et leur visualisation est dépendante de l'échelle utilisée par l'utilisateur. La hiérarchie se présente sous forme de niveaux : au premier niveau, on retrouve les données géographiques de la province, au deuxième niveau, les données géographiques des régions, au troisième niveau, les têtes de lignes ainsi que le contour de leurs cellules et, finalement, au quatrième niveau, le détail du réseau pour les cellules qui sont un regroupement d'environ 2,000 abonnés. De plus, dans certains cas, un cinquième niveau de détail pour les équipements pourra être ajouté selon la demande de l'utilisateur.

Les équipements et câbles font partis des éléments dynamiques du SIG, ils sont liés à une entité de la base de données dont la connectivité est représentée par des pointeurs entre les entités. En effet, grâce à cette caractéristique, l'utilisateur du système pourra analyser les alarmes reçues et leurs effets sur les équipements suivants ou ascendants du réseau.

TITRE:

Conception et réalisation d'un FPMA (« Field Programmable Mixed-Signal (Digital-Analog) Array »).

RÉSUMÉ:

Le projet vise à réaliser un FPMA reconfigurable dynamiquement dédié aux applications « codesign », et pour le prototypage de systèmes complexes contenant un processeur, une partie logicielle et une partie matérielle, numérique, analogique ou mixte.

PROBLÉMATIQUE:

Les composants programmables connaissent actuellement une évolution technologique remarquable qui leur permet d'obtenir de très bonnes performances tout en améliorant leur flexibilité et, ceci, avec une surface de plus en plus grande. Ce qui les rend très intéressant pour le développement de prototype rapide et permet de réduire le temps de conception, le temps de fabrication ainsi que le coût de production. Toutefois, malgré l'augmentation de la surface des FPGAs, leur densité d'intégration de portes logiques demeure plus petite qu'un ASIC ayant une surface comparable. Ceci est dû à la grande quantité de cellules mémoires (SRAM) lesquelles occupent une large surface additionnelle. La capacité logique peut être augmentée significativement en utilisant la reconfiguration dynamique.

De plus, la tendance en VLSI est actuellement d'intégrer des fonctions numériques et analogiques sur la même puce afin de réduire le nombre de circuits intégrés, le nombre d'interconnexions et les dimensions d'un système. Ceci permet de bénéficier du haut niveau d'intégration, réduisant ainsi le coût d'un système. De plus, une réduction de la puissance consommée et une augmentation de vitesse sont également obtenues. Ces caractéristiques sont particulièrement intéressantes pour les circuits analogiques où le prototypage a été pendant longtemps effectué à l'aide de composants discrets. Ces derniers introduisent des inductions et des capacités parasites beaucoup plus importantes qu'un circuit intégré. Ces parasites augmentent les sources d'erreurs qui peuvent être indésirables pour les applications à haute vitesse.

MÉTHODOLOGIE:

Pour permettre une reconfiguration dynamique très rapide, dans ce travail de recherche, on propose une nouvelle architecture de circuits intégrés programmables mixtes, appelés PARC. Ce dernier utilise une architecture à grain fin et il est basé sur la technologie de mémoires (SRAM). Il contient un FPGA et un processeur RISC. Ce dernier est conçu pour accélérer la reconfigurabilité du FPGA et réaliser des applications « codesign », et/ou le prototypage de systèmes complexes contenant un processeur, une partie logicielle et une partie matérielle. La partie analogique programmable sera bientôt également intégrée dans la même puce.

Généralement, un système complet, est constitué d'un circuit numérique auquel un circuit analogique est interfacé. Donc, similairement à ces systèmes, le FPMA est divisé en trois parties: un FPGA incluant un processeur RISC, un FPAA et une interface. Le FPGA est décrit avec VHDL et le modèle SPICE est utilisé pour les autres parties.

RÉSULTATS:

Les modèles des différentes sous-unités du FPGA regroupant un processeur RISC et un FPGA à architecture pyramidale (PARC) ont été simulés avec les outils CAO de Synopsys. De plus, un circuit est mis en œuvre en se servant de la technologie BiCMOS de 0.8 microns.

TITRE:

Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.

RÉSUMÉ:

Grâce à leurs performances remarquables, les hétérostructures III – V sont utilisées dans plus d’une application. Toutefois, ces performances et la dynamique des porteurs à l’intérieur de ces hétérostructures sont étroitement corrélées. Améliorer ces performances exige la compréhension de la dynamique ultra-rapide de transfert et de transport des porteurs.

PROBLÉMATIQUE:

Les hétérostructures III – V sont d’une grande importance dans la fabrication de composants optoélectroniques. Avec ces matériaux, il est possible de concevoir des commutateurs électro-optiques ultra-rapides. De plus, grâce à leurs propriétés optiques et de transport, ces composés sont utilisés dans les structures lasers. Ces matériaux sont d’une grande importance pour les systèmes de communication. Les performances des composants optoélectroniques sont contrôlées par la dynamique ultra-rapide des porteurs et sont souvent limitées par la vitesse de transfert de ces porteurs entre puits quantiques et barrières. La connaissance détaillée des processus de transfert et de capture (dans les puits) est alors d’une grande nécessité pour la conception de composants optoélectroniques ou photoniques ultra-rapides.

MÉTHODOLOGIE:

Nous étudions les propriétés optiques et de transport des structures laser à puits quantiques par photoluminescence standard (PLS) et photoluminescence résolue dans le temps (PLRT). La dynamique ultra-rapide des porteurs est sondée par la technique dite de conversion vers des fréquences supérieures. Afin de mieux comprendre les processus de transfert, identifier et évaluer certains paramètres qui les contrôlent, les résultats obtenus sont analysés et confrontés à des modèles théoriques.

RÉSULTATS:

Nous avons effectué des mesures de PLRT sur des échantillons d’ $\text{In}_{1-x}\text{Ga}_x\text{As}_{1-y}\text{P}_y$ émettant à 1.55 et à 1.3 μm respectivement. Le laser Ti-saphire utilisé opérait en régime pulsé ($\lambda = 740 \text{ nm}$), avec un taux de répétition de 82 MHz et une largeur temporelle de l’impulsion de 100 fs. Ces mesures reflètent le transfert ultra-rapide des porteurs des barrières vers les puits. Nous avons aussi effectué des mesures de PLS sur ces mêmes structures.

Les données obtenues ont été analysées et comparées à certains modèles théoriques. La dynamique de transfert et de transport des porteurs par des mesures de PLRT et PLS à des températures, puissances et longueurs d’onde d’excitation diverses a été étudiée de façon exhaustive. Ces mesures ont dépouillé et réuni sur un grand nombre de graphiques. Une analyse plus poussée est en cours. Certains résultats ont été publiés et une thèse de doctorat est sur le point d’être terminée.

TITRE:

Implémentation pour l'extraction en temps réel des caractéristiques de la modulation intentionnelle sur les impulsions radars.

RÉSUMÉ:

Ce projet s'inscrit dans le cadre d'une étude en vue de réaliser un système de mesures de soutien électronique impliquant la recherche, l'interception, la localisation et l'analyse des signaux radars dans un contexte de surveillance militaire.

PROBLÉMATIQUE:

Ce projet vise à extraire en temps réel des caractéristiques propres aux impulsions radar en particulier celles liées à la modulation intentionnelle. L'ensemble des algorithmes doivent traiter une impulsion de 1μ seconde avec une latence de 10μ secondes entre chaque impulsion. Chaque impulsion doit être échantillonnée avec un taux d'échantillonnage de 500 millions d'échantillons par seconde. Pour des impulsions d'une durée supérieure à 1μ , la latence doit être proportionnelle à ce facteur multiplicatif.

MÉTHODOLOGIE:

Des algorithmes d'extraction de ces paramètres seront dans un premier temps analysés afin d'identifier les sections critiques. Par la suite, ces algorithmes seront reformulés et implémentés sur des circuits intégrés programmables, des processeurs spécialisés pour le traitement numérique des signaux ou les deux, suivi d'une réalisation sur des circuits intégrés, s'il y a lieu.

RÉSULTATS:

Ce projet n'a pas encore produit de résultats concrets.

TITRE:

Méthode de conception automatique de circuits haute performance.

RÉSUMÉ:

Le but de ce projet est de développer des méthodes de conception automatiques de circuits intégrés à haute fréquence. Ceci inclut le développement et l'intégration dans un premier lieu d'une librairie de cellules à haute fréquence entièrement paramétrables, construites à partir d'une structure Mer-de-portes (Sea-of-Gates). Une méthode de placement automatique orientée performance (Performance driven) sera ensuite élaborée pour le placement de tels circuits. Cette méthode devra supporter les contraintes de délais sur les nœuds critiques dans le circuit.

PROBLÉMATIQUE:

Lorsqu'un concepteur de circuits intégrés décide de s'aventurer à des vitesses de fonctionnement excédant 400 MHz, il doit généralement utiliser des techniques de conception manuelle au niveau polygone. De plus, il existe un champ d'application ciblant une cadence d'horloge entre 400 MHz et 1 GHz, que les technologies actuelles CMOS peuvent atteindre dans certaines classes d'application et d'architecture. Considérant qu'uniquement certains modules, bien délimités d'un circuit complet, fonctionnent à plus de 400 MHz, nous souhaitons, à partir d'un outil de P&R développé en collaboration avec la société Design Workshop, développer un générateur universel pour ce type de modules. Nous parlons de fonction universelle, par opposition aux générateurs spécialisés pour un seul type de module, comme par exemple l'oscillateur. Les autres modules, ceux fonctionnant à moins de 400 MHz, pourront être développés à l'aide des générateurs conventionnels.

MÉTHODOLOGIE:

Trois points importants sont à développer:

- Explorer les différentes configurations des cellules de base pour choisir celles qui donnent de hautes fréquences de fonctionnement;
- Développer une librairie de cellules basée sur la configuration choisie et dont les cellules ont les propriétés suivantes :
 - Une même cellule doit être accessible par différentes technologies (à 2 couches de métal);
 - La taille des transistors doit être un paramètre choisi par le concepteur ou par un outil spécialisé: aussi bien les transistors de type P que de type N;
 - La taille des alimentations, dans la région p et dans la région P, doit aussi être un paramètre à choisir
 - Le nombre de canaux entre la région P et la région N doit également être un paramètre.
- Finalement, à partir de l'outil de P&R conventionnel, c'est-à-dire dont les métriques de fonctions objectives sont conventionnelles (e.g. la surface et le délai), nous allons explorer de nouvelles métriques, à partir de modèles, afin de supporter la haute fréquence.

RÉSULTATS:

Le générateur de cellules de base et des structures rapides est complété. Nous avons conçu un circuit test que nous avons fait fabriquer. Le circuit est testé dans un but de validation. L'implantation de l'algorithme de placement orienté performance est en cours.

TITRE :

Conception et optimisation d'un cathéter servant à mesurer la pression trans-diaphragmatique et l'activité électrique du diaphragme.

RÉSUMÉ :

Mon projet de maîtrise consiste à réaliser un cathéter servant à mesurer la pression trans-diaphragmatique ainsi que l'activité électrique du diaphragme (EMGdi). La pression trans-diaphragmatique est proportionnelle à la différence de pression entre l'estomac et l'œsophage. Les deux milieux sont séparés hermétiquement par le sphincter œsophagien. L'activité électrique du diaphragme est captée par une électrode faisant contact avec le sphincter œsophagien.

PROBLÉMATIQUE :

Actuellement en clinique, la mesure de pression est effectuée avec des ballons en latex. Ces ballons sont couplés à l'air à des transducteurs de pression situés à l'extérieur du patient. Certaines limites de cette application justifient l'étude de méthodes plus efficaces. La réponse en fréquence du couplage à air est très faible. De plus, la précision que peuvent donner les transducteurs est à la limite de ce que les expériences exigent. Les fuites d'air à travers les ouvertures rendent impossible des lectures sur de longues périodes et obligent à recalibrer régulièrement la sonde.

Le signal résultats de la lecture de l'EMGdi est contaminé par l'artefact cardiaque (ECG). L'amplitude de l'ECG est beaucoup plus grande que l'amplitude de l'EMGdi. Par conséquent, il y a contamination à chaque fois qu'il y a un battement cardiaque. L'automatisation de l'analyse de l'EMGdi en fonction de la pression trans-diaphragmatique par un système dédié devient donc impossible à effectuer en présence de cet artefact. Nous devons trouver une façon d'éliminer le signal ECG à la source des lectures.

MÉTHODOLOGIE :

En ce qui concerne la mesure de pression trans-diaphragmatique, deux capteurs de pression électronique (Silicon Microstructures, modèle SM5102-005-A) ont été montés sur un cathéter. Ces capteurs ont une réponse en fréquence très élevée, soit 2KHz. Ces capteurs sont très petits et ne coûtent presque rien. La lecture de la pression est plus précise et cette méthode est moins invasive que l'utilisation des ballons en latex.

Une proposition a été faite à la suite de plusieurs années d'expérience avec une électrode bipolaire par un médecin du CHUM: développer une électrode hélicoïdale pour éliminer la contamination cardiaque. Cette électrode aurait une plus grande superficie en contact avec le sphincter œsophagien, même lorsque le diaphragme bouge lors de la respiration. La construction d'une telle électrode est rejetée puisque nous n'avons pas les outils nécessaires pour la fabriquer. Le comportement de l'électrode sera plutôt simulé à l'aide d'un simulateur de différences finies FDTD.

RÉSULTATS :

FDTD est un outil qui permet de simuler la propagation des ondes électromagnétiques à très haute fréquence. Cependant, notre modèle est stimulé par des fréquences quasi statiques.

Plusieurs principes permettent d'utiliser FDTD à de telles fréquences tout en gardant un temps de simulation raisonnable. Les caractéristiques de l'électrode hélicoïdale n'ont pu être simulées parfaitement. Le manque de précision du modèle ainsi que les réflexions des ondes sur les parois absorbantes du modèle sont les principales causes d'erreur. Cependant, les bases nécessaires pour la simulation de phénomènes biologiques avec l'algorithme FDTD ont été recueillies dans ce rapport. Une étude portant sur l'amélioration des conditions de frontières à basses fréquences ainsi que l'amélioration du modèle du thorax permettraient de s'approcher des résultats espérés par cette recherche.

TITRE :

Conception et réalisation de la partie implantable d'un stimulateur visuel cortical

RÉSUMÉ :

Ce projet consiste à réaliser un prototype de la partie implantable d'un stimulateur visuel dédié à créer une vision artificielle acceptable chez les non-voyants. Le système complet regroupera entre autre une caméra CCD et une carte de traitement commandé à partir d'un PC et qui sert à acquérir des images. Un logiciel traitera les images reçues et transmettra de nouvelles images améliorées au prototype de l'implant.

PROBLÉMATIQUE :

La partie implantable du stimulateur visuel reçoit les commandes du contrôleur externe et injecte des courants de stimulation dans le cortex visuel du non-voyant produisant chez celui-ci la sensation de voir des points lumineux (phosphènes). Les prototypes des modules externe et interne permettront de valider la fonctionnalité du système de restauration de la vision. Une matrice de diodes électroluminescentes placée sur le prototype simulera les effets des phosphènes.

MÉTHODOLOGIE :

Quatre étapes:

- Établir les spécifications de l'implant;
- Développer l'architecture du prototype à l'aide de composants et circuits intégrés commerciaux et prédiffusés;
- Développer le circuit numérique de contrôle (entièrement intégré dans un FPGA);
- Réalisation (fabrication) du prototype repose sur deux cartes de circuits imprimés.

RÉSULTATS :

La conception de l'architecture du prototype, du prédiffus et de la partie numérique (FPGA) est complétée et validée par des simulations. La carte (circuit imprimé) est en cours de fabrication.

TITRE:

Optimisation de boucles multidimensionnelles pour la synthèse de haut niveau.

RÉSUMÉ:

Les applications du domaine DSP manipulent des tableaux de données qui sont synthétisés en unités mémoires. Or, le coût de chaque opération mémoire augmente avec la taille de celle-ci; affectant le coût de tout le système. Une estimation exacte de la taille mémoire requise par un programme devient alors une nécessité. Nous décrivons ici, une technique d'estimation basée sur la formalisation de l'analyse de vie d'une variable. Notre problème d'estimation est transformé en un problème mathématique équivalent de dénombrement de solutions entières pour l'union/intersection de mapping de polytopes paramétrés. Nous exploitons les récents résultats de résolution du problème de dénombrement.

PROBLÉMATIQUE:

En raison de l'augmentation de la complexité des systèmes intégrés, les techniques d'optimisation et de conception de haut niveau sont devenues d'importants domaines de recherche. Pour prendre des décisions de conception de haut niveau efficaces, des techniques de mesures exactes et quantitatives de certaines fonctions de coût sont nécessaires. Pour des programmes induisant un volume de données important qu'on retrouve dans les applications du domaine de traitement du signal, la consommation en puissance des accès mémoires et de stockage, a des effets directes sur le coût du système en entier. La taille mémoire devient dès lors l'un des facteurs importants affectant le coût du système. Une technique d'estimation exacte de la taille mémoire devient une priorité dans le domaine de conception de haut niveau.

MÉTHODOLOGIE:

Dans ce travail, nous proposons une technique tout à fait innovatrice d'estimation exacte de la taille mémoire, basée sur le modèle des polytopes. Partant d'une spécification procédurale d'une boucle, notre stratégie analytique estime le nombre minimal nécessaire de localisation mémoires requise par le programme. En se basant sur la formalisation de l'analyse de vie d'une variable, nous transformons l'estimation de la taille en un problème mathématique de dénombrement de points entiers pour l'union/intersection de mappings de polytopes. Dans certains cas, nous utilisons les résultats importants de résolutions d'un système d'équations linéaires en nombres entiers paramétriques.

RÉSULTATS:

La technique d'estimation a été mise au point et validée pour plusieurs exemples comportant des boucles multidimensionnelles. Il reste l'étape d'automatisation de ce processus qui est en cours de développement. On vise plus exactement à mettre au point un outil complet (en C++) qui étant donné une spécification d'une boucle, génère le nombre minimal de cases mémoires requises. Nous devons permettre une intégration aisée de l'outil à un environnement plus général de Codesign Hardware/Software.

TITRE :

Conception de circuits mixtes dédiés à la réalisation de microstimulateurs et capteurs implantables.

RÉSUMÉ :

Le projet vise à concevoir un microstimulateur implantable intégré permettant un contrôle permanent de la miction (stimulation occasionnelle) et de l'incontinence (stimulation permanente). Un lien de communication RF bidirectionnel permet de reprogrammer in vivo le stimulateur et d'avoir un contrôle diagnostique permanent sur le système et les tissus biologiques auxquels il est connecté.

PROBLÉMATIQUE :

Pour pouvoir transmettre différents types d'informations sur un même lien, il est nécessaire de les convertir en un format unique et standard. Ainsi les signaux analogiques devront être numérisés et coupés en mots de 8 bits. Ces mots n'auront plus qu'à être transmis selon un protocole de transmission série standard sur un lien RF. Pour le lien RF de retour, une modulation de fréquence est préférable, car les implants ne disposent pas toujours d'une alimentation très stable ce qui ne permet pas une bonne modulation AM. De plus, une modulation FSK est très simple à réaliser avec des éléments logiques.

Enfin, pour des soucis d'intégrabilité maximale, de simulation et de portabilité, nous nous efforçons d'étendre au maximum la partie numérique et de réduire la partie analogique.

MÉTHODOLOGIE :

La première partie des travaux consistait à réaliser des prototypes sur PCB avec des composants programmables (FPGA et micro-contrôleur) afin de pouvoir les implanter et ainsi valider les méthodes de stimulation et de communications utilisées. Bien sûr, la version intégrée est développée en parallèle au prototype, de sorte que les techniques (modulations, génération de stimuli, etc.) utilisées dans le prototype se rapprochent le plus possible de celles prévues et simulées dans la version intégrée.

RÉSULTATS;

Un prototype implantable (4cm de diamètre) incluant la stimulation occasionnelle et le lien bidirectionnel nous a permis de valider 2 des 3 fonctionnalités du stimulateur. Son équivalent sur silicium a aussi été complété, mais n'a pas encore été soumis à la fabrication, car nous attendons d'avoir testé les 3 fonctions sur prototype avant de soumettre un circuit intégré regroupant ces fonctions.

Il nous restera à finaliser la réalisation du second prototype incluant les deux stimulations (occasionnelle et permanente) et à soumettre à la SCM le design complet pour fabrication.

Des premiers test sur simulateur et sur prototype ont donné des résultats très satisfaisants et laisse présager un accomplissement futur pouvant donner suite à plusieurs applications fonctionnelles.

TITRE:

Conception d'une transformée rapide de Fourier (TRF) reconfigurable basée sur une architecture parallèle et pipelinée.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit destiné à effectuer la fonction d'une TRF avec un taux d'échantillonnage paramétrisable illimité sur FPGA en utilisant la carte de XCIM .

L'implantation orientée matérielle de la «TRF radix 2» est axée sur le fait que les données sont dirigées en parallèle vers un FPGA, en format mot, depuis une SRAM externe. L'accélération de calcul en utilisant les ressources matérielles minimales par rapport à des implantations de la fonction TRF qui existent sur le marché, démontrent que la méthode adoptée est efficace et robuste.

PROBLÉMATIQUE:

L'algorithme radix 2 qui a été adopté pour faire une fonction de TRF chez les industriels comme XILINX et ACTEL, est un algorithme basé sur l'architecture de type DALUT (Distributed Arithmetic Look Up Table). Cette méthode offre une vitesse de calcul supérieure à celle d'un microprocesseur DSP. Cependant, dès que le taux d'échantillonnage du signal dépasse 1024 échantillons, la taille du circuit et le coût du matériel deviennent très élevés pour justifier l'accélération de calcul de la fonction TRF sur FPGAs.

MÉTHODOLOGIE:

Dans un premier temps, nous traitons l'algorithme de TRF radix 2 en deux parties. La première partie consiste à réaliser le chemin des données (datapath) qui a comme but d'intégrer tous les composants de type multiplexeurs, démultiplexeurs, multiplieurs, additionneurs, soustracteurs et tous les registres nécessaires à l'architecture pipelinée.

La deuxième partie est la partie de contrôle. L'unité de contrôle (UC) se compose de trois machines à états finis (FSM) fonctionnant en parallèle. L'UC gère l'algorithme de TFR ainsi que les écritures et les lectures de la RAM (changement du sens des données). Il faut noter que sur le bus qui relie les FPGAs et les 64 bits de données, on ne peut pas lire et écrire en même temps. L'UC gère aussi les unités d'interface avec la RAM situées sur le FPGA contenant le chemin des données.

RÉSULTATS:

La TRF a été réalisée en VHDL, puis synthétisée à l'aide de l'outil de synthèse Synario™. La deuxième étape consiste à générer un format *netlist* EDIF pour ensuite l'implanter. L'unité de contrôle ainsi que datapath ont été testés au niveau de simulation fonctionnelle, également l'unité de contrôle a été placée et routée. La première version de l'ensemble de tous les modules a été implantée sur deux FPGAs de série XC4000e_13.

TITRE:

Implantation de BIST basé sur la stratégie de test par oscillation.

RÉSUMÉ:

Le projet en question consiste à tester tout circuit analogique en le bouclant sur lui-même dans le but de le faire entrer en mode d'oscillation. Après quoi, on mesure la fréquence d'oscillation: si celle-ci est à l'intérieur d'une marge que le concepteur définit après simulation, le circuit passe le test, sinon il échoue et à ce moment l'adresse du bloc défaillant sera enregistrée dans une RAM qui est accessible en lecture pour l'utilisateur grâce à deux boutons UP et DOWN qui contrôlent le défilement de la RAM. Une fois que le test d'un bloc est fini, on passe à un autre bloc fonctionnel, jusqu'à la fin de tous les blocs. Il est à noter que lors de l'enregistrement de huit adresses de blocs défaillants le test s'arrête même si tous les blocs ne sont pas testés.

PROBLÉMATIQUE:

Dans le domaine de l'intégration à grande échelle, il est très important de nos jours d'inclure dans les circuits que nous concevons d'autres circuits pour vérifier si notre conception fonctionne et sinon pour quelles raisons. Alors que pour les circuits numériques des techniques très performantes ont été développées, pour les circuits analogiques les techniques employées varient d'un circuit à l'autre ce qui fait qu'il n'y a pas de technique fiable et qui ne change pas d'un circuit à un autre. On propose l'implantation d'une technique qui est assez généralement valide pour un circuit analogique.

MÉTHODOLOGIE:

Le problème de l'implantation du BIST basé sur la stratégie de test par oscillation a été traité selon les étapes suivantes:

- Une routine écrite en langage C capable de lire un fichier SPICE, où le concepteur décrit son modèle analogique, et d'insérer automatiquement des commutateurs pour assurer un mode de fonctionnalité normale ou un mode de test. Le programme est capable d'insérer un circuit additif dans le cas où le circuit à tester est de premier ordre.
- Une partie matérielle constituée d'un fréquencemètre numérique écrit en VHDL qui permet de mesurer la fréquence de chaque bloc fonctionnel et de la comparer à une signature déjà mémorisée dans une ROM. Le même fréquencemètre assure le choix du bloc à tester ainsi que le passage automatique d'un bloc à tester à un autre, sans oublier la sauvegarde des adresses défaillantes dans une RAM.
- La dernière étape consiste à générer le layout du fréquencemètre et de le simuler pour voir si les performances (fréquence maximale mesurée) ne se sont pas dégradées.

RÉSULTATS:

Le programme d'insertion de BIST écrit en langage C est réalisé et testé sur quelques fichiers SPICE. La description comportementale en VHDL du fréquencemètre ainsi que la synthèse sont réalisées et simulées avec succès. L'opération de traduction des fichiers de Synopsys vers Cadence version 9504 pour l'extraction du layout est finie et il ne reste que l'extraction du layout ainsi que la simulation définitive.

TITRE:

Analyse de la testabilité des circuits RF.

RÉSUMÉ:

L'objectif de notre projet est d'effectuer une analyse de la testabilité des circuits RF; cette analyse devrait aboutir à l'élaboration de méthodes de test des circuits RF. Ainsi, le projet se divise en deux temps forts soit une partie analyse et une partie élaboration de la méthodologie.

PROBLÉMATIQUE:

Au cours des dernières années, les progrès réalisés dans la technologie des circuits intégrés analogiques et mixtes (analogiques/numériques) et leurs applications dans le domaine des télécommunications (téléphones sans fil et cellulaires compacts) ont introduit un marché potentiel pour les systèmes RF. De ce fait, la testabilité des circuits intégrés RF est devenu un enjeu de taille pour l'ingénieur. Cette testabilité est limitée par trois principaux problèmes:

- L'adaptation 50 Ohms
- La linéarité des circuits
- La fiabilité des tests

MÉTHODOLOGIE:

La méthode que nous proposons consiste dans un premier temps à réaliser une interface de test haute fréquence qui permettra de tester les circuits à haute fréquence dans un environnement 50 Ohms.

Dans un deuxième temps, il sera question d'effectuer une analyse des systèmes RF linéaires et non linéaires afin de pouvoir déduire pour chacune de ces classes de circuits une méthode de test appropriée.

Dans un troisième temps, le travail consistera en la transformation des approches développées sous forme d'outils CAO destinés à l'analyse de la testabilité, à la génération des signaux d'entrée de test (vecteurs de test) et aux simulations de pannes afin d'assister les ingénieurs dans l'introduction des améliorations nécessaires durant les différentes phases de développement d'un système RF intégré. L'automatisation de ces différentes méthodes élaborées sera aussi étudiée afin de pouvoir disposer de méthodes de test fiables.

RÉSULTATS:

Une interface de test haute fréquence a déjà été réalisée. Pour réaliser cette interface, une cellule intégrée dans le circuit à tester a été conçue. Deux méthodes de test ont aussi été élaborées, une première destinée aux circuits linéaires qui se base sur l'utilisation des paramètres (S), et une deuxième destinée aux circuits non-linéaires qui est basée sur l'analyse de la fonction de transfert en puissance.

TITRE :

Conception d'un système de surveillance du syndrome de la mort subite chez le nourrisson.

RÉSUMÉ :

L'objectif de ce projet est la réalisation d'un système de surveillance, portable et non invasif, de défaillances respiratoires qui lorsqu'elles surviennent chez les nourrissons entre 0 à 6 mois entraînent leur décès. Cette maladie, souvent associée à l'apnée du sommeil, est plus connue sous le nom du syndrome de la mort subite chez l'enfant (Sudden Infant Death Syndrome).

PROBLÉMATIQUE :

L'un des principaux problèmes associés au SIDS est lié à la méconnaissance de la cause réelle qui provoque le décès et bien qu'il soit établi qu'il est lié à une défaillance respiratoire, il n'existe aucun critère objectif déterminant avec précision le degré d'implication de tel ou tel paramètre de la fonction respiratoire. De même, les dispositifs de surveillance existants combinant des mesures des fonctions respiratoire et cardiaque, sont encombrants et difficiles à manipuler (nécessitent un personnel qualifié). Nous nous proposons donc de réaliser un système de surveillance portable, non encombrant et d'utilisation facile.

MÉTHODOLOGIE :

Pour répondre aux objectifs fixés, nous envisageons de concevoir un dispositif constitué de deux modules :

- Le premier module est un bloc miniature que l'on insère dans l'œsophage pour l'acquisition et la transmission de la pression pleurale qui est une caractéristique significative de la mécanique ventilatoire. Il comprend :
 - L'acquisition des signaux: le capteur de pression, placé dans l'œsophage, permet de mesurer les variations de la pression pleurale pendant la respiration;
 - Le prétraitement des signaux: les signaux biomédicaux étant de faible amplitude, une amplification permet de ramener leur amplitude au niveau requis par leur utilisation ultérieure;
 - La transmission RF. Ce mode de transmission, se faisant sans fil, permet l'obtention d'un dispositif portable et pas encombrant.
- Le deuxième module permet, après réception des signaux transmis par le premier module, d'analyser les variations de la pression pleurale et, en cas d'occurrence d'une situation critique, de la signaler. Ce module assure :
 - La réception;
 - Le traitement et le diagnostic. Les signaux seront traités au fur et à mesure qu'ils sont reçus. Étant donné la nature du problème, entaché d'incertitude et d'imprécision, et les paramètres de la fonction respiratoire, dont les valeurs dépendent de plusieurs facteurs (âge, poids, état de la fonction respiratoire...), l'analyse doit être très rigoureuse et fiable afin de s'adapter à tous les cas de figure. Nous utiliserons donc la logique floue pour le traitement de cette diversité d'informations.

RÉSULTATS :

Cette période a permis de mettre au point un plan de travail suite à l'étude du syndrome, la pertinence de l'utilisation de la pression pleurale dans son diagnostic et le choix de l'approche de la prise de décision.

TITRE:

Développement d'estimateurs de performance pour des applications de co-design logiciel/matériel.

RÉSUMÉ:

Le présent travail consiste à concevoir et mettre en œuvre des estimateurs de performance pour la détection de bouches chaudes à l'intérieur de programmes, écrits en langage ANSI-C, en vue d'un partitionnement logiciel/matériel automatique sur une architecture matérielle reconfigurable de type FPGA.

PROBLÉMATIQUE:

Un des volets du projet Code consiste à étudier la structure d'un compilateur C ciblé vers un ordinateur d'une architecture hybride reconfigurable. Le partitionnement logiciel/matériel peut se faire en utilisant des estimateurs de performance pour caractériser le choix du partitionnement par une quantité qui est comparée à un seuil d'acceptabilité. Ces critères devront tenir compte l'accélération, le coût du matériel, la séquentialité du logiciel, etc. Le processus de co-design n'est pas à ce jour un processus automatisé. L'objectif principal du projet est d'automatiser le partitionnement logiciel/matériel en fonction de scores de performance, relatifs aux estimateurs de performance.

MÉTHODOLOGIE:

Dans un premier temps, une revue de la littérature sur le sujet des processeurs et des circuits reconfigurables devra être effectuée afin de déterminer l'état de l'art actuel.

Dans un second temps, l'étude du compilateur SUIF, compilateur du domaine public, sera faite afin de comprendre la structure de ce compilateur et de voir comment on pourrait l'utiliser pour annoter la base de données SUIF et le code source.

Enfin, la conception et la mise en œuvre de chacun des estimateurs de performance (à définir) devront être réalisés avec les méthodes SUIF. Ceci conduira à la détermination de scores de performance en vue d'un partitionnement logiciel/matériel accentuant la vitesse d'exécution d'une tâche.

RÉSULTATS :

- Une revue complète de la littérature touchant le domaine des processeurs et des circuits reconfigurables a été réalisée;
- Une liste d'estimateurs de performance a été proposée afin d'évaluer la pertinence d'un éventuel partitionnement logiciel/matériel;
- Une partie de ces estimateurs a été implantée en utilisant les méthodes du compilateur SUIF.

TITRE:

Conception d'un circuit de conversion de protocoles réseaux haute-vitesse.

RÉSUMÉ:

Le projet consiste en la conception et la réalisation d'une architecture flexible, capable d'effectuer la conversion en temps-réel de plusieurs protocoles réseaux existants et futurs. Les protocoles existants ciblés sont ceux capables de transporter des données vidéo numériques de qualité studio, c'est-à-dire de plus de 360 Mbps.

PROBLÉMATIQUE:

La quête de l'augmentation de la largeur de bande des réseaux informatiques actuels est incontournable. Bon nombre de groupes de recherche en sont à développer des protocoles visant à obtenir des débits de données toujours plus grands. Résultat, il est difficile de faire cohabiter ces protocoles dans un même réseau.

Une des solutions existantes (passerelle) n'est efficace que pour des protocoles à bas débits de données, soit moins de 100 Mbps. Par ailleurs, elle ne permet que la conversion d'un nombre fini de protocoles. Une autre solution (routeur passerelle) exige la modification de la topologie du réseau pour être utilisable et elle n'est pas transparente du point de vue du réseau.

MÉTHODOLOGIE:

Cette recherche vise à permettre la cohabitation de protocoles dans un même réseau, et ce, sans influencer sa topologie, sa configuration et son utilisation.

Voici les éléments de la méthodologie utilisée afin de mener à terme ce projet de recherche:

- Recherche bibliographique pour déterminer et comprendre les protocoles hautes-vitesses intéressants pour des applications multimédias;
- Développement d'un algorithme de conversion entre deux protocoles;
- Développement d'un second algorithme de conversion entre un nouveau protocole et un des deux protocoles précédents;
- Identification des similarités entre ces deux algorithmes de conversion;
- Développement d'une architecture flexible de conversion de protocoles;
- Simulations fonctionnelles de l'architecture;
- Synthèse des modules et simulations temporelles de l'architecture;
- Placement et routage de l'architecture et insertion d'une chaîne de balayage;
- Soumission du circuit pour fabrication;
- Validation du circuit.

RÉSUMÉ:

Aucun résultat n'est disponible pour l'instant.

TITRE :

Conception d'un outil basé sur la méthode dite de mutation permettant la validation de circuits VLSI.

RÉSUMÉ :

Le but de ce projet est de proposer une méthode systématique d'enrichissement de vecteurs de validation afin de détecter les bugs présents dans un programme. Cette méthode exploite le concept de mutation qui consiste à injecter des fautes spécifiques dans la version originale d'un programme VHDL. Ces programmes mutés appelés mutants sont donc des programmes syntaxiquement corrects mais fonctionnellement incorrects. L'aptitude qu'ont ces vecteurs à détecter ces fautes renseignera le concepteur des tests quant à la manière d'augmenter son jeu de vecteurs de validation.

PROBLÉMATIQUE :

Les circuits VLSI sont de plus en plus complexes et la validation de ces circuits devient de plus en plus problématique. Quand peut-on dire qu'un design rempli pleinement les objectifs décidés par les spécifications?

La méthode de mutation permet d'identifier un certain nombre de vecteurs capables de détecter un ensemble fini et bien spécifié de fautes. En fait, ces vecteurs sont capables de montrer qu'un programme est erroné s'il fournit un résultat incorrect. Par ailleurs, la modélisation des bugs est réalisée à partir d'opérateurs.

MÉTHODOLOGIE :

La première étape consiste à proposer des opérateurs spécifiques à un langage (en l'occurrence le VHDL). Ces opérateurs modélisent les bugs. Ils permettent l'introduction de fautes dans le programme original. L'efficacité de la méthode proposée est validée sur trois bancs d'essai.

- Un module de détection d'erreurs d'un processeur ancillaire (Miranda);
- Un générateur d'adresse d'une machine SIMD (Pulse);
- La puce SIMD (Pulse).

RÉSULTATS :

- Le module de détection et le générateur d'adresse ont été réalisés à l'aide du langage VHDL
- Les opérateurs VHDL ont été définis.
- Les programmes en langage C constituant les opérateurs ont été décrits.
- La première méthodologie systématique de test par mutation a été expérimentée.
- Les limites de la méthode ont été montrées.
- Une amélioration de la méthodologie a été effectuée en réalisant un outil de test par mutation.

TITRE:

Étude de la propagation des ondes électromagnétiques d'un lien à fréquences-radio de transfert d'énergie dédié à un implant de stimulation du cortex visuel.

RÉSUMÉ:

Il y a plus de 100 000 personnes totalement aveugles au Canada et aux États-Unis. De ce nombre, seulement 15% peuvent se déplacer de façon autonome et seulement 20% peuvent lire le braille. Notre but est de permettre aux non-voyants de retrouver une vision limitée mais fonctionnelle.

PROBLÉMATIQUE:

Afin de permettre aux non-voyants de retrouver une vision fonctionnelle, nous utilisons un système comprenant un implant cortical stimulant directement le cortex visuel du patient. Cet implant devrait être actif pendant de très longues périodes et générer des stimulations de façon continue. Étant donné la consommation d'énergie requise par la stimulation et des limites des systèmes d'accumulation de charge, l'implant devra être alimenté au moyen d'un lien radiofréquence à transfert d'énergie par couplage inductif. Le rendement de ce type de lien étant assez faible, la majorité de l'énergie rayonnée se propage librement dans l'espace et une portion de cette énergie est absorbée par les tissus de la tête. Puisque l'exposition prolongée aux radiations électromagnétiques peut engendrer des complications médicales, il est primordial de connaître et de contrôler la propagation de l'énergie du lien fréquences-radio.

METHODOLOGIE:

Puisque nous devons calculer la propagation des ondes électromagnétiques du lien de transfert d'énergie dans un espace non-uniforme dont la géométrie est très complexe, c'est-à-dire une tête humaine, nous ne pouvons pas employer les méthodes analytiques traditionnelles. Nous utilisons donc la méthode numérique "Finite-Difference Time-Domain" qui calcule la propagation selon les équations différentielles discrétisées de Maxwell. Cette méthode nous permet de connaître les champs électriques et magnétiques pour tous les points de l'espace tridimensionnel en tout moment.

À partir de ces résultats, nous cherchons à optimiser les paramètres du lien de transfert d'énergie qui sont la fréquence de la porteuse, la taille des antennes inductives, leurs positions respectives et l'impédance d'entrée du circuit de l'antenne réceptrice afin de réduire la quantité d'énergie absorbée localement par les tissus biologiques. Dans un premier temps, nous étudions le comportement d'une antenne émettrice seule afin d'observer l'interaction entre la porteuse et les tissus. Dans un deuxième temps, nous ajouterons l'antenne réceptrice afin de modéliser le lien complet et de calculer l'énergie maximale des points chauds qui se forment dans le cerveau ainsi que l'énergie disponible pour l'implant.

RÉSULTATS:

La modélisation d'une antenne émettrice et d'un cerveau simplifié "boxbrain" ont été réalisés. Les résultats de l'étude du lien pour la gamme de fréquence allant de 20MHz à 200MHz montrent que plus la fréquence de la porteuse augmente, plus l'énergie de la porteuse pénètre profondément dans les tissus. Le modèle de l'antenne réceptrice est complété et un modèle de cerveau plus réaliste est en développement.

TITRE :

Réalisation de filtres analogiques Gm-C configurables dans les circuits intégrés.

RÉSUMÉ :

Le projet consiste à réaliser des filtres analogiques configurables dans les circuits intégrés en utilisant des cellules de transconductance. En modifiant le courant de références des cellules à l'aide d'une source de courant programmable, il est possible de modifier les caractéristiques (fréquence centrale, gain et facteur de qualité) des filtres élaborés.

PROBLÉMATIQUE :

La réalisation des filtres analogiques intégrés opérant à haute fréquence a longtemps été limitée par les différentes méthodes proposées dans le passé. De plus, la variation possible due au procédé de fabrication fait qu'il est impératif d'utiliser une méthode permettant d'ajuster les caractéristiques des filtres réalisés. Récemment, les cellules de transconductances ont acquis une grande popularité pour réaliser les filtres analogiques dans des circuits intégrés étant donné leur simplicité et qu'elles permettent d'opérer à des fréquences élevées tout en étant facilement contrôlable. Il s'agit donc de réaliser une cellule de transconductance performante afin de l'utiliser dans des applications spécifiques.

MÉTHODOLOGIE :

Dans le but d'atteindre nos objectifs, nous exécuterons d'abord une étude bibliographique afin de comparer les différents types d'architecture de cellules de transconductance ainsi que les différentes méthodes de réalisation des filtres. Par la suite, une élaboration d'une nouvelle architecture de cellule de transconductance sera faite afin de réaliser des filtres en se basant sur les travaux précédents de l'équipe de recherche PolyStim. Finalement, différentes applications nécessitant l'utilisation des cellules Gm-C seront proposées ainsi que la réalisation d'un exemple de filtre générique.

RÉSULTATS :

Une revue complète de la littérature touchant le domaine des cellules de transconductance ainsi que les différentes méthodes pour réaliser des filtres ont été réalisées. Une nouvelle architecture de cellule de transconductance ayant les caractéristiques se rapprochant le plus possible d'un intégrateur idéal a été réalisé. Finalement, une réalisation physique d'un filtre passe-bande du quatrième ordre ainsi qu'une source de courant programmable ont été fabriqués à l'aide d'une technologie CMOS 0.35um.

TITRE:

Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.

RÉSUMÉ:

La coordination des activités à l'intérieur d'un système distribué est normalement assurée par une politique de répartition des tâches. La répartition des tâches permet une utilisation équitable des ressources et améliore le rendement du système. De plus, un ordonnancement efficace peut diminuer le temps d'exécution des tâches en profitant du parallélisme (implicite ou explicite) du programme parallèle.

PROBLÉMATIQUE:

La simulation en temps réel de grands réseaux électriques exige une très grande puissance de calculs. L'utilisation de l'ordinateur parallèle peut simplifier le travail en exploitant le parallélisme implicite et explicite du problème. L'objectif de cette recherche consiste à trouver une méthode de répartition des tâches capables de distribuer efficacement les calculs dans le réseau des processeurs.

MÉTHODOLOGIE:

Le problème de répartition des tâches peut être vu comme un problème de recherche heuristique dans lequel il est nécessaire de trouver une politique de gestion capable de respecter toutes les contraintes spatiales et temporelles imposées. La méthode de répartition des tâches proposée repose sur le principe de la complétude de l'algorithme A* et sur l'admissibilité des heuristiques. Une approche pragmatique doit être envisagée pour tenir compte de la limitation de la mémoire disponible pour la recherche heuristique. L'ensemble de ces considérations donnera lieu à une nouvelle méthode de répartition des tâches. Cette nouvelle méthode, basée sur un algorithme de recherche heuristique, doit être en mesure d'effectuer le découpage dynamique de l'espace de solution. Ainsi, il est possible de diminuer son temps d'exécution et d'obtenir une complexité temporelle et spatiale bornée.

RÉSULTATS:

Une méthode de répartition automatique des tâches a été réalisée pour le simulateur en temps réel HyperSim d'IREQ. Le répartiteur des tâches est basé sur un nouvel algorithme de recherche DPSM (Dynamic Pruning Search Method). Le DPSM est une méthode de recherche heuristique capable de tenir compte de la mémoire disponible tout en conservant les caractéristiques de la complétude et l'optimalité de l'algorithme A*.

L'analyse et la présentation dans un cadre formel des heuristiques utilisées. La coordination d'une gestion d'exceptions dans la méthode de répartition des tâches. Les exceptions sont des cas où la solution d'une répartition ne peut être obtenue. L'étude de faisabilité sur la proposition automatique de topologies d'interconnexions pour faciliter la répartition des tâches.

TITRE:

Conception et implémentation d'un convolveur 2-D sur FPGA.

RÉSUMÉ:

Ce projet consiste à utiliser un FPGA reconfigurable comme sous système d'accélération, dont la fonction comme coprocesseur reconfigurable pour le processeur DSP permet de résoudre le problème relié aux goulots d'étranglement dans les applications de traitement de signal numérique, comme par exemple le traitement d'image.

PROBLÉMATIQUE:

Les implémentations rapides dans les convolveurs est un problème très fréquent dans le traitement de signal en temps réel où la performance doit être plus importante que celle obtenue à travers une implémentation sur microprocesseur. Avec le FPGA, on obtiendra de meilleurs résultats, à travers les avantages par rapport au DSP programmable point fixe. Le performance de FPGA est obtenue grâce à la possibilité de réaliser une structure interne parallèle au niveau du flux de données. En prenant en considération l'architecture des Look Up tables dans blocs logiques configurables (CLB) de la compagnie XILINX. Ce projet détaille le processus de conception du convolveur généralisé utilisant une arithmétique distribuée est une approche puissante qui ne nécessite pas le besoin de multiplieur et permettant le compromis taux de données -ressources utilisées.

MÉTHODOLOGIE:

D'une manière générale, la conception du système peut être réalisée par une conception logiciel/matériel (codesign), quand l'algorithme est partitionné en une description logiciel/matériel, le code logiciel peut être exécuté et optimisé sur DSP et la fonction matérielle peut être accélérée sur un FPGA reconfigurable. Ce projet consiste à la conception du module matériel (convolveur) et son implémentation sur XC-436 de MiroTech. Le système est décrit en langage de description matérielle à savoir le VHDL, synthétisé et implémenté en utilisant les outils de développement de Synopsys, Xilinx, Corekit.

RÉSULTATS:

La plupart des blocs composant le convolveur 7*7 ont été décrits en VHDL, synthétisés et simulés. La prochaine étape est de vérifier l'opération du convolveur au complet sur la carte XC-436. Avec l'expérience de la première étape, on exploite les performances et les coûts du convolveur 2-D généralisé.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme, Titre	Montant annuel	Période de validité
• Bois, G.	CRSNG individuelle «Méthodes de partitionnement logiciel/matériel pour la conception de systèmes dédiés de haute performance»	15,000.00 \$	1997 - 2000
• Haccoun, D.	CRSNG individuelle	27,300.00 \$	1996 - 2000
• Houle, J.-L.	CRSNG individuelle «Algorithmes et architectures pour système à multiprocesseurs spécifiques»	18,350.00 \$	1996 - 2000
• Kaminska, B.	CRSNG Coop «Advanced Optical Switching Systems»	140,000.00 \$	1996 - 1999
• Maciejko, R.	CRSNG, Operating «Broadband Signal Processing with Ultrafast Photonics»	30,723.00 \$	1998 - 1999
• Maciejko, R.	CRSNG CRD avec Nortel «High Frequency Low Chip MWQ-DFB lasers»	37,700.00 \$ 34,400.00 \$	1998 - 1999 1999 - 2000
• Maciejko, R.	NORTEL Technologies CRD «High Frequency Low Chip MQW/DFB Lasers»	30,000.00 \$ 30,000.00 \$	1997 - 1998 1998 - 1999
• Maciejko, R.	NORTEL Technologies CRD, Equipment «High Frequency Low Chip MQW/DFB Lasers in Kind»	37,000.00 \$ 37,000.00 \$	1997 - 1998 1998 - 1999
• Maciejko, R.,	CRSNG équipement «Motorized Translation System for Device Characterization»	23,916.00 \$	1998 - 1999
• Meunier, M.,	CRSNG individuelle «Couches minces et nanoparticules par laser pulsé» par photons UV»	34,650.00 \$	1999 - 2002
• Savaria, Y.	CRSNG individuelle «Méthodes de conception et test pour les circuits intégrés CMOS ultra-rapides»	43,734.00 \$	1996 - 2000
• Savaria, Y.,	CRSNG stratégique, «Hardware Software, Co-Design of Reconfigurable Computational Accelerators»	99,000.00 \$	1997 - 1999
• Savaria, Y.	Micronet, Miranda, PMC Sierra «Architecture of Digital Video Circuits and Synchronisation of High Speed Systems»	90,000.00 \$	1998 - 1999

Subventions, contrats et conventions de recherche individuelles (suite)

Chercheur	Organisme, Programme, Titre	Montant annuel	Période de validité
• Savaria, Y.	Ministère de la Défense Nationale «Study of Clustering Approaches for Noisy Input Data and Low-Cost Implementation of Electronic Warfare Clusterers», DREO Commandite»	35,000.00 \$	1998 – 2001
• Savaria, Y.,	Nortel individuelle, «Testability Methods for NT25 and NT35 Bipolar Technologies»	50,000.00 \$	1999 - 2000
• Savaria, Y.,	Hyperchip, «Wafer-Scale High Performance Digital Switches Design, Implementation and Test Demonstration»	84,000.00 \$	1999 - 2000
• Savaria, Y.,	Fondation Ordre des Ingénieurs, LTRIM «Conception et caractérisation de circuits analogiques et mixtes grande précision»	40,000.00 \$	1999 - 2000
• Savaria, Y.,	Société Canadienne en Microélectronique Fabrication d'une puce	4,016.00 \$	1999 - 2000
• Sawan, M.	CRSNG individuelle «Circuits et technologies mixtes pour micro-stimulateurs et capteurs implantables»	19,000.00 \$	1995 - 1999
• Sawan, M.	Nortel, «Design of a Digital Adaptive Time Domain Equalizer»	22,425.00 \$	1997 - 1999
• Sawan, M.	Micronet, CRSNG, Goal Electronics «High Performance CMOS Mixed-Signal Circuits for Future Wireless Application»	34,500.00 \$ 44,000.00 \$	1998 – 1999 1999 - 2000
• Sawan, M.	Contrat de recherche PRESSENK «Design of a Pure Touch Multichannel Encoder»	12,800.00 \$	1998 - 1999
• Sawan, M.,	Alliance Medical Inc. «Design of Miniaturized Ultrasonic Devices»	23,000.00 \$	1998 - 1999
• Sawan, M.,	CRSNG, «Circuits intégrés mixtes Dédiés aux systèmes électroniques sans fils»	30,345.00 \$	1999 - 2003

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme, Programme, Titre	Montant annuel	Période de validité
• Aboulhamid, M., Bois, G.,	Micronet, «Hardware Software System Partitioning and Development of Estimation Tools»	50,000.00 \$	1998 - 1999
• Aboulhamid, M., Bois, G.,	FCAR centre, Groupe de Recherche Interuniversitaire en architecture des ordinateurs	133,330.00 \$ 125,000.00 \$	1998 - 1999 1999 - 2001
• Aboulhamid, M., Bois, G., Savaria, Y., Sawan, M., et 16 autres	GRIAO, FCAR – Centre de Recherche, Infrastructure	125,000.00 \$	1998 – 2001
• Camarero, R., Savaria, Y., Maciejko, R., et 55 autres	CRSNG, FCI «Réseau de métaconception et Prototypage	2,240,000.00 \$	1999 - 2000

Subventions, contrats et conventions de recherche de groupe (suite)

Chercheurs	Organisme, Programme, Titre	Montant annuel	Période de validité
• Camarero, R., Savaria, Y., Maciejko, R., et 55 autres	MEQ «Réseau de métaconception et Prototypage	2,240,000.00 \$	1999 - 2000
• Camarero, R., Savaria, Y., Maciejko, R., et 55 autres	Fonds Polytechnique «Réseau de métaconception et Prototypage	1,900,000.00 \$	1999 - 2000
• Currie, J.F., Meunier, M., et 4 autres	FCAR Équipe «Dispositifs micro- électroniques» (infrastructure)	40,000.00 \$	1996 - 1999
• Elhilali, M., Sawan, M., Duval, F.,	Fondation Canadienne des Maladies du Rein « Modulation of Bladder Function Through Neurostimulation»	40,000.00 \$ 40,000.00 \$	1997 - 1999 1999 - 2001
• Maciejko, R., Mazut, R., Berolo, E.,	FCAR Équipe, «Dispositifs photoniques à semi-conducteurs Sur substrat d'InP	18,000.00 \$	1998 - 2000
• Maciejko, R., Cada, M., Wartak, M.,	CRSNG - Institut Canadien d'Innovation pour Photonics «Semiconductor Optical Amplifiers»	238,709.00 \$	1999 - 2001
• Martinu, L., Meunier, M., et 3 autres	FCAR Équipement «Modification de surfaces »	25,000.00 \$	1999 - 2000
• Martinu, L., Meunier, M., et 3 autres	FCAR Infrastructure «Modification de surfaces »	50,000.00 \$	1999 - 2001
• Meunier M., et 13 autres	CRSNG Infrastructure «Thin Film Group Laboratory»	157,000.00 \$	1996 - 1999
• Meunier, M., Ivanov, D., Yelon, A., Currie, J.F.,	CRSNG Stratégique «PLD of Superionic Conductors»	111,690.00 \$	1997 - 1999
• Meunier, M., et 16 autres	FCAR infrastructure «GCM»	145,000.00 \$	1999 - 2001
• Meunier M., et 12 autres	CRSNG infrastructure «Thin Film Laboratories	170,000.00 \$	1999 - 2001
• Sacher, E., Meunier, M., Martinu, L.,	CRSGN stratégique «Diffusion of Metals in Polymers»	120,000.00 \$	1998 - 2000
• Savaria, Y., Houle, J.-L., Kaminska, B., Sawan, M.,	FCAR, «Méthodes de conception des systèmes VLSI et ULSI»	46,500.00 \$	1998 - 2000
• Savaria, Y., Bois, G., Sawan, M., Aboulhamid, M.,	CRSNG Stratégique, «Hardware/ Software Codesign of Reconfigurable Computational Accelerators»	99,000.00 \$	1998 - 2000
• Savaria, Y., Blaquièrre, Y.,	Société Canadienne en Microélectronique Fabrication d'une puce	20,473.00 \$	1999 - 2000
• Savaria, Y., Meunier, M.,	Ordre des Ingénieurs «Restructuration laser pour la microélectronique»	30,000.00 \$	1999 - 2000
• Sawan, M., Bois, G., Savaria, Y., et 10 autres	Société Canadienne de Micro- électronique, Compétition sur les équipements	127,870.00 \$ 117,117.00 \$	1998 - 1999 1999 - 2000
• Yelon, A., Meunier, M., Paleologou, M.,	CRSNG Stratégique, «Membranes»	111,500.00 \$	1997 - 1999

• **Équipement prêté par la SCM**

3 x SUN Sparcstation 5-85, 64 Mb 1 x SUN Sparcstation 5-85, 112 Mb 1 x SUN Sparcstation 20, 64 Mb 1 x SUN 150 Mb external tape dr. 1 x SUN 644 Mb external CDROM drive 1 x SUN CDROM 12 x 1 x SUN Entreprise Ultra 1 128 Mb 1 x SUN Entreprise Ultra 1 256 Mb 2 x SUN Multipack 16 Gb 1 x SUN Multipack 8 Gb 2 x SUN Ultra 1 128 Mb 1 x SUN Ultra 1 256 Mb 1 x HP 1600 mm EIA 19" rack 1 x HP Workstation 745i, 32 Mb 1 x UNIBIT 5.0 Gb external tape Dr 1 x HP Main Frame E1401 A 20 Msa/s Digitizer	1 x HP Command module E1406A 1 x HP 20 Msa/s A/D E1429B 1 x Analog DBS 8750 Arbitrary Waveform Synthetizer 1 x HP E1450A 160 MHz Timing Module 1 x HP E1445A Arbitrary, Function Generator 1 x HP E1452A 20 MHz Pattern, I/O Module 1 x HP E6623A Programmable, DC Power Supply 2 x GGB picoprobe model 28 1 x GGB picoprobe power supply 1 x HP E1493-60001 (con. Bord) 3x HP E 1454 A (cable) 1 x Keithley Source Measurement 1 x VXI Test Fixture	1 x Test Head 1000 1 x SMU Test head 1 x Model 28 T11a Active probe 1 x Power supply (for model 28) 4 x Model 40A (T13) Micro. (4R) 2 x MH5 alessi Micropositioner (L) 2 x MH5 alessi Micropositioner (R) 1 x MMM-01 alessi Microwave, Mount (40A) 2 x MMM-02 alessi Microwave, Mount (40A) 2 x MMM-04 alessi Microwave, Mount (40A) 4 x MAC-02 alessi Magnetic Base 8 x Picoprobe 40A-GSG-150-P 4 x Microwave Probe MH5-2848 1 x SUN GPIB interface Controller
--	--	--

Équipement appartenant au groupe

1 x SUN Sparcstation IPX, 56 Mb 1 x SUN Sparcstation IPX, 40 Mb 1 x SUN Sparcstation 1 28 Mb 1 x SUN Sparcstation 1,8 Mb 1 x SUN Sparcstation 1+, 16 Mb 2 x SUN Sparcstation 2, 64 Mb 5 x SUN Sparcstation 10 64 Mb 2 x SUN 1.3Gb external drive 3 x SUN 2.1 Gb external drive 1 x SUN 4.0 Gb external drive 1 x HP Workstation 712/60 64 Mb 3 x SUN Sparcstation 5-70 64 Mb 4 x SUN Sparcstation 4-110 32 Mb 1 x SUN Sparcstation 4-170 32 Mb 3 x SUN Sparcstation 5-85 64 Mb 1 x SUN Sparcstation 5-110 96 Mb 1 x SUN Sparcstation 5-110 64 Mb 1 x SUN Ultra-1 256 Mb 1 x SUN IPC 36 Mb 2 x OSS 2.1 GB external drive 2 x OSS 4.0 GB external drive 2 x SUN 150 MB external tape drive 1 x UNIBIT 5.0 GB external tape drive 2 x SUN 14 GB external tape drive 1 x Colorado Tracker 700MB external tape drive 2 x SUN 644 MB external CDROM drive 1 x HP 4 x external CDROM drive 1 x HP printer laserjet IIP 2 x HP printer laserjet 4m+ 1 x HP printer laserjet 5m 1 x HP printer HP5L 1 x HP printer 1200/C 1 x SUN printer sparcprinter 12 pp 1 x HP printer plotter 7580B 1 x HP printer paintjet Color	2 x HP printer Deskjet 650 C 1 x HP printer deskwriter C 1 x MAC printer deskwriter C 29 x APC BK600 UPS 1 x Rapid prototyping board V.2 1 x HP Semi-Cond. P.A. 4145A 1 x Miranda Research Espresso 1 x MiroTech Cage VME et Pc 1 x HP function Generator 8111A 1 x HP oscilloscope 1741A 100MHz 1 x TEKTRONICS Analyseur Logique 3002 1 x PHILIPS oscilloscope 0-25 MHz PM3212 1 x HP Power supply 6202B 1 x WENTHWORT Prober 1 x SUN 76" data center cabinet 2 x PC 486 DX 33, 16 Mb 1 x PC 486 DX 66, - 16 Mb 1 x PC P133, 16 Mb 1 x PC 486 DX 100, 16 Mb 1 x PC 486 DX4-100, 16 Mb 1 x PC 486 DX4-100, 20 Mb 1 x PC 486 DX50, 16 Mb 1 x PC Pentium Pro200 64 Mb 5 x PC Pentium 120, 32 2 x PC Pentium 100, 16 Mb 1 x PC Pentium 100 64 Mb 2 x PC Pentium 90, 32 Mb 1 x PC Pentium 90, 16 Mb 1 x PC Pentium 75, 16 Mb 1 x PC Pentium 166, 32 Mb 1 x PC Pentium 333, 128 Mb 2 x PC Pentium 200, 128 Mb 1 x TENEX 2.1 Gb external drive 2 x TENEX 4.0 Gb external drive 1 x UNIBIT 2, 1 Gb external drive
--	--

Logiciels

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont du domaine public, obtenus d'autres universités ou de banques de logiciel. Le logiciel MENTOR a été donné à l'École par la compagnie Mentor Graphics, tandis que les logiciels EDGE/CADENCE proviennent de la société Cadence. Citons parmi les principaux logiciels qui sont d'usage courant HSPICE de et Synopsys de la société du même nom

<p>MENTOR Graphics C.1</p> <ul style="list-style-type: none"> - design_arch.Sta - ic_layout_ex.sta - sds.sta - vhdlarch.sta - autologic_ic.sta - dsp.sta - idea.sta - sds_base.sta - vhdentry.sta - ic_layout.sta - ideafpga.sta - tdfpga.sta - seamless <p>Synopsys Octtools</p>	<ul style="list-style-type: none"> • Logic Modeling • CADENCE 9504 (environnement intégré par la conception des circuits VLSI) • Artist de Cadence (Design des circuits analogiques et mixtes) • ALLEGRO (conception de PCB et MCM) • HSPICE (simulateur) • Amical • DW2000 (Édition de masque, fourni par Design Workshop) • FrameMaker 4 et 5 (Logiciel de traitement de texte) • Matlab (logiciel pour le traitement mathématique) • Osf Motif • Publisher • SPW • Xilinx
--	---

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

- [A- 1] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ROBIN, S., ELHILALI, M.M., «Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs», accepté pour publication dans *IEEE Trans. On Rehabilitation Eng.*, 1999
- [A- 2] CRAMPON, M.-A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New easy to install nerve cuff electrode based on a shape memory alloy armature: fabrication, modeling and experimental results», *The IEEE Trans. On Rehabilitation Eng.*, 1999.

Articles de revues publiés de septembre 1998 à août 1999.

- [P- 1] ABDEL-GAWAD, M., BOYER, S., SAWAN, M., ELHILALI, M., «Reduction of bladder outlet resistance by selective stimulation of the ventral sacral root using high frequency blockade: a study in chronic spinalized dog» *The Journal of Urology*, 1999.
- [P- 2] ARABI, K., SAWAN, M., «Electronic Design of a New Multiprogrammable Microimplant for Neuromuscular Electrical Stimulation», *IEEE Trans. On Rehabilitation Eng.*, Vol. 7, no. 2, 1999 pp. 204-214.
- [P- 3] ASSI, A., SAWAN, M., «High Performance CMOS Transconductor for Mixed-Signal Analog-Digital Applications» *Analog Integrated Circuits & Signal Processing Journal*, Vol, 19, 1999 pp. 303-317.
- [P- 4] CHANG, Y., MACIEJKO, R., LEONELLI, R., SPRING THORPE, A., «Self-starting passively mode-locked tunable Cr⁴⁺: YAG laser with a single prism for dispersion compensation», *Applied Phys. Lett.*, 73[15], 1998, p. 2098.
- [P- 5] CHANG, Y., MACIEJKO, R., BENHOCINE, A., LEONELLI, R., RUDOWICZ, C., «Theoretical and experimental investigation of the excited-state absorption in Cr⁴⁺: YAG gain medium», *OSA Trends in Opt. And Photon. Series*, vol. 19, Advanced Solid State Lasers, 1998, pp. 494-502.
- [P- 6] CRAMPON, M.A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New easy to install nerve cuff electrode using SMA armature», *Artificial Organs Journal*, Vol. 23, no. 5, 1999, pp. 392-395.
- [P- 7] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Small-Area Short-Locking Time and Wide-Locking Range Frequency-Locked Loop», *IEEE Trans. On Circuits and Systems II*, 1998.
- [P- 8] GRANGER, E., GROSSBERG, S., RUBIN, A., STREILEIN, W., «Familiarity Discrimination of Radar Pulses», In *Kearns et al., eds., Advances in Neural Information Processing Systems 11*, Cambridge, MA: MIT Press, 1998, pp. 875 - 881.
- GIRARD, F., IZQUIERDO, R., QUENNEVILLE, E., PALEOLOGOU, M., MEUNIER, M., IVANOV, D., YELON, A., «Evaluation of a ceramic-polymer composite cation-selective membrane for sodium salt splitting», *Electrochemical Society*, 146, 1999, pp. 2919 - 2924.
- [P- 9] GRANGER, E., GROSSBERG, S., LAVOIE, P., RUBIN, M., «A Comparison of Classifiers for Radar Emitter Type Identification», In *C. H. Dagli et al., eds. Intelligent Engineering Systems Through Artificial Neural Networks 9*, New York, NY: ASME Press, 1999, pp. 3 - 11.
- [P-10] GÜÇLÜ, A.D., MACIEJKO, R., CHAMPAGNE, A., «Comparison of Monte Carlo with Drift-Diffusion Equations in Quantum-Well Laser Simulation», *Jour. Of Appl. Physics*, Vol. 84, no. 9, novembre 1998, pp. 4673 - 4676.
- [P-11] LAVOIE, P., CRESPO, J.-F., SAVARIA, Y., «Generalization, Discrimination and Multiple Categorization Using Adaptive Resonance Theory», *IEEE Tr. On Neur. Net.*, vol. 10 no.4 juillet 1999, pp 1-12.
- [P-12] NEKILI, M., SAVARIA, Y., BOIS, G., «Spatial Characterization of Process Variations via MOS Transistor Time Constants in VLSI & WSI» *JSSC, Brief Paper*, janvier 1999, vol. 34, no. 1, pp. 80-85.
- POPOVICI, D., MEUNIER, M., SACHER, E., «Laser-enhanced gas phase surface modifications of Teflon AF1600 for increased Copper adhesion», *J. Adhesion*, 70, 1999, pp. 155 - 165.
- [P-13] WU, X., SACHER, E., MEUNIER, M., «The effects of hydrogen bonds on the adhesion of inorganic oxide particles on hydrophilic Silicon surfaces», *J. Appl. Physics*, 86, 1999, pp 1744 - 1748.
- Wu, X., SACHER, E., MEUNIER, M., «Excimer laser induced removal of particles from hydrophilic Silicon surfaces», *J. Adhesion*, 70, 1999, PP. 167 - 178.

Articles de revues publiés de septembre 1997 à août 1998.

- [P-13] ABOU-KHALI, M., SCHREURS, D., NAUWELAERS, B., VAN ROSSUM M., MACIEJKO, R., WU, K., «Effect of Capture and Escape Phenomena in Monte Carlo Technique on the Simulation of the Nonlinear Characteristics in High Electron Mobility Transistors», *Journal of Applied Physics*, 82(912), décembre 1997, pp. 6312-6318.
- [P-14] ABOU-KHALIL, M., MATSUI, T., BOUGRIOUA, Z., MACIEJKO, R., WU, K., «Scattering rates due to lineal dislocations in heterostructures for the Monte Carlo charge transport simulation», *Applied Phys. Lett.*, vol. 73, no. 1, july 1998, pp. 70 - 72.
- [P-15] ABOU-KHALIL, M., RAHAL, A., GOANO, M., MACIEJKO, R., WU, K., BOSISIO, R.G., «Predicting nonlinear electrical performance in single and multiple quantum-barrier varactors by the Monte Carlo technique», *IEEE Trans. Electron Dev.*, vol. 45, no. 7, juillet 1998, pp 1399 - 1406.
- [P-16] ARABI, K., KAMINSKA, B., SAWAN, M., «On Chip Testing Data Converters Using Static Parameters», *IEEE Trans. On VLSI Systems*, vol. 6, no. 3 1998, pp. 409-419.
- [P-17] ARABI, K., KAMINSKA, B., «Design for Testability of Embedded Integrated Operational Amplifiers», *IEEE Journal of Solid-State Circuits*, avril 1998.
- [P-18] ASSI, A., SAWAN, M., ZHU, J., «An Offset Compensation Method for CMOS Current-Feedback OP AMP» *IEEE Trans. On Circuits and Systems I*, vol. 45, no. 1. 1998, pp. 85-90.
- [P-19] BEAUDOIN, F., MEUNIER, M., SIMARD-NORMANDIN, M., LANDHEER, D., «Excimer Laser Cleaning of Silicon Wafer Backside Metallic Particles», *J. Vac. Science and Technol. A16*, pp. 1976-1979, 1998.
- [P-20] BOIS, G., «Le codesign logiciel/matériel», *Journal Industriel du Québec*, en 3 volets de août à octobre 97.
- BOUGHABA, S., HÉROUX, J.B., CURCIO, M., SACHER, E., MEUNIER, M., «Removal of surface contaminants with laser-based cleaning technology», *Particles on Surfaces 5 and 6: Adhesion Removal*, ed. K.L. Mittal, (VSP) Utrecht, the Netherlands) 1999, pp. 297 - 310.
- [P-21] CHEN, J., MACIEJKO, R., MAKINO, T., «Transient Side Mode Suppression in Gain-Coupled DFB Lasers» *IEEE Journal of Quantum Electronics*, 34(1), janvier 1998, pp. 113-119.
- [P-22] CHEN, J., MACIEKNO, R., MAKINO, T., «Self Consistent Analysis of Side Mode Suppression in Gain-Coupled DFB Semiconductors Lasers», *IEEE Journal of Quantum Electronics*, 34(1), janvier 1998, pp. 101-109.
- [P-23] GAGNON, Y., MEUNIER, M., SAVARIA, Y., THIBEAULT, C., «Mathematical Cost Model for Redundant Multi-Processors Arrays» *Journal of Microelectronics Systems Integration*, vol. 5., no. 4, décembre 1997, pp. 199-208.
- [P-24] GRANGER, E., SAVARIA, Y., LAVOIE, P., CANTIN, M.-A.; «A Comparison of Self-Organizing Neural Networks for Fast Clustering of Radar Pulses», *Signal Processing*, vol. 64, ISS. 3., pp. 249-269, 1998.
- [P-25] GRANGER, E., SAVARIA, Y., BLAQUIÈRE, Y., CANTIN, M.-A., LAVOIE, P., «A VLSI Architecture for FAST Clustering with Fuzzy ART Neural Networks» *Journal of Microelectronics System Integration*, vol. 5, no. 1, mars 1997, pp. 3-18.
- [P-26] IZQUIERDO, R., QUENNEVILLE, E., GIRARD, F., MEUNIER, M., IVANOV, D., PALEOLOGOU, M., YELON, A., «Pulsed Laser Deposition of NASICON for the Fabrication of Ion Selective Membranes», *Journal of Electrochemical Soc.*, 144., pp. L323-L325, 1997.
- [P-27] KAMINSKA, B., «Why digital signal sensitivity test are a must », *Computer Design-Guide to Analog and Mixed-Signal Design*, décembre 1997, pp. 18-20.
- [P-28] KAMINSKA, B., «It's time now for EDA to move beyond BIST», *Speakout in EE Times*, novembre 1997, p. 53.
- [P-29] MEUNIER, M., IZQUIERDO, R., HASNAOUI, L., QUENNEVILLE, E., IVANOV, D., GIRARD, F., MORIN, F., YELON, A., PALEOLOGOU, M., «Pulsed Laser Deposition of Superionic Thin Films: Deposition and Applications in Electrochemistry», *Appl. Surf. Science*, 127-129, 466-470, 1998.
- [P-30] MEUNIER, M., ISQUIERDO, R., TABBAL, M., EVOY, S., DESJARDINS, P., BERNIER, M.-H., BERTOMEU, J., EL YAAGOUBI, N., SUYS, M., SACHER, E., YELON, A., «Laser Induced Deposition of Tungsten and Cooper», *Mat. Science and Eng., B*, 45, pp. 200-207, 1997.
- [P-31] PETRICAN, P., SAWAN, M., «Design of a Miniaturized Ultrasonic Bladder Volume Monitor and Subsequent Preliminary Evaluation on 41 Enuretic Patients» *IEEE Trans. On Rehabilitation Eng.*, vol. 6, no. 1, 1998, pp. 66-74.
- POPOVICI, D., KLEMBERG-SAPIEHA, J.E., CZEREMUSKIN, G., ALPTEKIN, A., MARTINU, L., MEUNIER, M., SACHER, E., «The Deposition of Copper onto Teflon AF1600: an XPS Comparison of Vapor Deposition and Sputtering», *Metallized Plastics V*, édité par K.L. Mittal, VSP, Zeist, NL. 1998, pp. 237 - 253.
- [P-32] POPOVICI, D., SACHER, E., MEUNIER, M., «Photodegradation of Teflon AF1600 During XPS Analysis», *J. Appl. Polymer. Sci.*, 70, 1998, pp 1201-1207.

- [P-33] POPOVICI, D., CZEREMUZKIN, G., SACHER E., MEUNIER, M., «Laser-Induced Metalorganic Chemical Vapor Deposition of Cu(hfac)(TMVS) on Amorphous Teflon AF1600: An XPS Study of the Interface» *Appl. Surf. Sci.*, 126, 1998, pp. 198-204.
- [P-34] POPOVICI, D., PIYAKIS, K., MEUNIER, M., SACHER, E., «Angle-Resolved XPS Comparison of Cu-Teflon AF1600 and Al-Kapton Metal Diffusion», *J. Appl. Phys.*, 83, 1998, pp. 108-111.
- [P-35] PROVOST, B., SAWAN, M., «A New Bladder Volume Monitoring Device Based on Impedance Measurement» *Med. Biol. Eng. Comput.*, vol. 35, 1997, pp. 691-694.
- [P-36] ROBIN, S., SAWAN, M., ABDEL-GAWAD, M., ABDEL-BAKY, T. M., ELHILALI, M.M., «Implantable Selective Simulation System Dedicated for Low Pressure Micturition», *Med. & Bio. Eng. & Comput.*, vol. 36, no. 4, 1998, pp. 490-492.
- [P-37] SACHER, E., MARTINU, L., MEUNIER, M., «La métallisation de Polymères: Cuivre sur les Fluoropolymères», *J. Phys. Paris*, pp. C6-239-248, décembre 1997.
- [P-38] SHAKER, H.S., TU, L.M., ROBIN, S., ARABI, K., HASSOUNA, M., SAWAN, M., ELHILALI, M.M., «Reduction of Bladder Outlet Resistance by Selective Sacral Root Stimulation Using High-Frequency Blockade in Dogs: An Acute Study» *The Journal of Urology* vol. 160, 1998, pp. 901-907.
- SIMARD-NORMANDIN, M., BEAUDOIN, F., MEUNIER, M., «Metallic contamination from particles on the back-sides of wafers», *Particles on Surfaces 5 and 6: Adhesion Removal*, ed. K.L. Mittal, (VSP, Utrecht, the Netherlands, 1999, pp. 35 - 45.
- [P-39] SYLLA, I.T., SLAMANI, M., KAMINSKA, B., GHANNOUCHI, F., «Joint Design and Test Consideration in High Frequency Circuits» *Microwave and Optical Technologies Letters*, vol. 16 no. 3, octobre 1997, pp. 132-138.
- [P-40] TABBAL, M., MEUNIER, M., IZQUIERDO, R., BEAU, B., YELON, A., «Laser Chemical Vapor Deposition of W Schottky Contacts on GaAs Using WF_6 and SiH_4 » *J. Appl. Phys.*, 81, pp. 6607-6611, 1997.
- [P-41] TRONC, P., WANG, G., REID, B., MACIEJKO, R., HARMAND, J.C., PALMIER, J.F., SERMAGE, B., ROUSSIGNOL, P., «Time-Resolved Photoluminescence Measurement of the Heavy-Hole-Exciton Binding Energy in $GaInAs/AlGaInAs$ Superlattices» *Superlattices and Microstructures*, 24 (5), 1998, pp. 347-357.

Articles de conférences publiés de septembre 1998 à août 1999.

- ANTAKI, B., SAVARIA, Y., SAMAN, A., XIONG, N., «Design for Testability Method for CML Digital Circuits», *Des. Auto. And Test in Europe (DATE'99)*, Munich, mars 1999, pp.360-367.
- AUDET, D., MASSON, S., SAVARIA, Y., «Reducing Fault Sensitivity of Microprocessor-Based System by Modifying Workload Structure», *Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*, Austin, novembre 1998, pp. 241-249.
- [C- 1] BEAUCHAMP-PARENT, A., SAWAN, M., «New Reconfigurable Ultrasonic Enuresis Monitoring System», *IEEE-EMBS'98*, Hong Kong, octobre 1998.
- BOYER, F.R., ABOULHAMID, E.M., SAVARIA, Y., BENNOUR, I.E., «Optimal Design of Synchronous Circuits Using Software Pipelining Techniques» *IEEE ICCD'98, Computer Design: VLSI in Computers and Processors*, Austin, octobre 1998, pp. 62 - 69
- BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ELHILALI, M., «New Miniaturized Selective Stimulator To Enhance Bladder Voiding», *Uéfess'99*, Sandai, août 1999.
- CALBAZA, D.E., SAVARIA, Y., «Jitter Model of Direct Digital Synthesis Clock Generators», *ISCAS'99*, Orlando, mai 1999, papier 2.1
- CRAMPON, M.-A., SAWAN, M., BRAILOVSKI, V., TROCHU, F., «New Nerve Cuff Electrode Based on a Shape Memory Alloy Armature», *IEEE-EMBS'98*, Hong-Kong, octobre 1998.
- DIA, A., THIBEAULT, C., CARGOUR, C.S., HOULE, J.-L., «On the Use of Wavelet Analysis for IC Testing», Troisième Conférence Internationale sur l'Automatisation Industrielle, Montréal, juin 1999.
- DJEMOUAI, A., SAWAN, M., SLAMANI, M., «Improved Biotelemetry System with an Integrated Automatic Control», *IFESS'99*, Sandai, août 1999.
- DJEMOUAI, A., SAWAN, M., SLAMANI, M., «An Efficient RF Power Transfer and Bidirectional Data Transmission to Implantable Electronic Devices», *IEEE-ISCAS'99*, Orlando, mai 1999.
- DJEMOUAI, A., SAWAN, M., SLAMANI, M., «A 200 MHz Frequency-Locked Loop Based on New Frequency-to-Voltage Converters Approach», *IEEE-ISCAS'99*, Orlando, mai 1999.
- DONFACK, C., SAWAN, M., SAVARIA, Y., «Efficient Monitoring of Electrodes-Nerve Contacts During FNS of the Bladder», *IFESS'99*, Sandai, août 1999.
- FOUZAR, Y., SAWAN, M., SAVARIA, Y., «A BiCMOS Wide-Lock Range Fully Integrated PLL», *Int. Conf. On Microelectronics*, Monastir, décembre 1998.

- HARB, A., SAWAN, M., CRAMPON, M.-A., et AL., «Monitoring Bladder Activities in Paralysed Dogs: System Design and Acute Experiments», *IFESS'99*, Sandai, août 1999.
- HARVEY, J.-F., ROY, M., SAWAN, M., «Visual Cortex Stimulation Prototype based on Mixed-Signal Technology Devices», *IFESS'99*, Sandai, août 1999.
- JIANG, Y., TANG, Y., WANG, Y., SAVARIA, Y., «Evaluating the Output Probability of Boolean Functions Without Floating Point Operations», *Proc. of CCCECE*, Edmonton, mai 1999, pp. 433-437.
- JIN, Z.-F., LAURIN, J.-J., SAVARIA, Y., GARON, P., «A New Approach to Analyse Interconnect Delay in RC Wire Models», *ISCAS'99*, Orlando, mai 1999, papier 72.2.
- LE CHAPELAIN, B., MÉCHAIN, A., SAVARIA, Y., BOIS, G., «Development of a High Performance TSPC Library for Implementation of Large Digital Building Blocks», *ISCAS'99*, Orlando, mai 1999 papier 64.19.
- MARRIOTT, P., KRALJIC, I., SAVARIA, Y., «Parallel Ultra Large Scale Engine SIMD Architectures for Real Time Digital Signal Proc. Appl.», *ICCD'98*, Austin, octobre 1998, pp. 482 - 487.
- POIRÉ, P., SAVARIA, Y., DANIEL, H., CANTIN, M.-A., BLAQUIÈRE, Y., «Hardware Software Codesign of a Fuzzy ART Neural Clusterer», *The Benefits of Reconfigurable Computing, SPIE 98*, Boston, novembre 1998, pp. 90 - 96.
- PRONOVOST, N., HOULE, J.-C., «A Geomatic System for Real-Time Applications», *AI'99 Applied Informatics*, Innsbruck, Australie, février 1999.
- RABEL, C.-E., SAWAN, M., «PARC: A New Pyramidal FPGA Architecture Based on a Risc Processor», *IEEE-ISCAS'99*, Orlando, mai 1999.
- SAWAN, M., DONFACK, C., SCHNEIDER, E., BOYER, S., ROY, M., «Externally-Powered Implantable Device Dedicated to Monitor FES Events and Parameters», *Int. Functional Electrical Stimulation Conf. (IFESS)*, Lucerne, septembre 1998.
- VOGHELL, J.-C., SAWAN, M., ROY, M., BOURRET, S., «Programmable Current Source Dedicated to Implantable Microstimulators», *Int. Conf. On Microelectronics*, Monastir, 1998.

Articles de conférences publiés de septembre 1997 à août 1998.

- [C- 1] ACHOUR, C., DAVIDSON, J., HOULE, J.-L., «Architecture VLSI pour la compression d'images par ondelettes», *5^e Colloque Canadien sur les Circuits Programmable*, FPD'98, Montréal, Québec, juin 1998, pp. 43-48.
- [C- 2] ALPTEKIN, A., CZEREMUSZKIN, G., MARTINU, L., MEUNIER, M., SACHER, E., DIRENZO, M., «Mechanical and Dielectric Properties of Low-Permittivity Dielectric Materials, in Low Dielectric Constant Materials II», *A. Legendijk, H. Treichel, K.J. Uram et A. C. Jones, MRS Symposium Proceedings*, 443, pp. 79-84, 1997.
- [C- 3] ARABI, K., KAMINSKA, B., «A BIST Scheme for Functional and Structural Testing of Analog and Mixed-Signal ICs», *IEEE International Test Conference*, Washington, novembre 1997, pp. 786-795.
- [C- 4] ARABI, K., KAMINSKA, B., «Design of a Precision Built-In Current Sensor for On-Line Power Dissipation Measurement and IDDQ Testing», *IEEE International Test Conference*, Washington, novembre 1997, pp. 572-586.
- [C- 5] BEAUDOIN, F., SIMARD-NORMANDIN, M., MEUNIER, M., «Metallic Contamination from Wafer Handling», *ASTM STP 1340, éditeur D.C. Gupta, Bacher et W.H. Hughes*, 1998.
- [C- 6] BEN HAMIDA, N., SAAB, K., KAMINSKA, B., «A Perturbation Based Fault Modeling and Simulation for Mixed-Signal Circuits», *IEEE Asian Test Symposium*, novembre 1997.
- [C- 7] BOIS, G., BOSI, B., SAVARIA, Y., «A High Performance Reconfigurable Coprocessor for Digital Signal Processing» *Proceedings of the 14th Annual Int. Conference Mentor Graphics Users' Group*, Portland, Oregon, octobre 1997.
- [C- 8] BOURRET, S., SAWAN, M., PLAMONDON, R., «Programmable High-Amplitude Balanced Stimulus Current-Source for Implantable Microstimulators», *IEEE-EMBS, 19th Int. Conf.*, Chicago, octobre 1997.
- [C- 9] BRAIS, L.-P., SAWAN, M., «Adaptive Filtering Using Field Programmable Devices» *FPD'98*, juin 1998.
CANTIN, M.-A., BLAQUIÈRE, Y., SAVARIA, Y., GRANGER, E., LAVOIE, P., «Implementation of the Fuzzy ART Neural Network for Fast Clustering of Radar Pulses», *ISCAS 98*, Monterey, juin 1998, pp. WAA 14-17.
- [C-10] CHAMPAGNE, A., MACIEJKO, R., CHEN, J., MAKINO, T., «The Effects of Non-Homogeneous Carrier Distribution on MQW DFB Laser Performance», Paper M16, *LEOS'97*, San Francisco, Californie, 10-13 novembre 1997.
- [C- 11] CHANG, Y., MACIEJKO, R., LEONELLI, R., BENHOCINE, A., «Excited state absorption in a Cr⁴⁺: YAG medium» Paper AWD 15, *1998 Advanced Solid-State Lasers Thirteenth Topical Meeting*, Coeur d'Alene, Idaho, 2-4 février 1998.

- [C-12] CZEREMUSZKIN, G., MARTINU, L., ALPTEKIN, A., POPOVICI, D., MEUNIER, M., SACHER, E., «Thermal Stability of Low Permittivity Fluoropolymer Dielectrics», *Electrochemical Society Meeting Abstracts*, 97-1, p. 312, 1997.
- [C-13] GAGNON, M., KAMINSKA, B., «Optical Communication Channel Test Using BIST Approaches», *IEEE International Test Conference*, Washington, novembre 1997, pp. 626-635.
- [C-14] GAGNON, Y., SAVARIA, Y., MEUNIER, M., THIBEAULT, C., «Are Defect-Tolerant Circuits with Redundancy Really Cost-Effective? Complete and Realistic Cost Model», *IEEE Symposium on Defect and Fault Tolerance in VLSI Systems*, Paris, octobre 1997, pp. 157-165.
- [C-15] GUÉNETTE, P., DAVIDSON, J., HOULE, J-L., «Circuit analogique reconfigurable», *5^e Colloque Canadien sur les Circuits Programmables, PFD'98*, Montréal, Québec, pp. 43-48.
- [C-16] HARB, A., SAWAN, M., «New Low-Noise, Low-Voltage Instrumentation Amplifier Dedicated to nerve Signal Recording» *Medicon*, Cyprus, juin 1998.
- [C-17] KAFROUNI, M., THIBEAULT, C., SAVARIA, Y., «A Cost Model for VLSI/MCM Systems» *IEEE Symposium on Defect and Fault Tolerance in VLSI Systems*, Paris, octobre 1997, pp. 148-156.
- [C-18] KAMINSKA, B., et Al. «Mixed-Signal Benchmark Circuits» *IEEE International Test Conference*, Washington, novembre 1997, pp. 183-190.
- [C-19] LÉONARD, D, BERTRAND, P., SHI, MK., SACHER, E., MARTINU, L., MEUNIER, M., SACHER, E., «Plasma Surface Modification of Fluoropolymer Studied in TOF-SIMS», *Electrochem. Abstracts*, 97-1, p. 311, 1997.
- [C-20] MEUNIER, M., BOUGHABA, S., WU, X., BEAUDOIN, F., SACHER, E., SIMARD-NORMANDIN, M., «Laser Cleaning for Microelectronics», *Proceedings of the 5th International ACS Congress of North America, Symposium 627 Industrial Cleaning without CFCs*, 1998.
- [C-21] NEKILI, M., SAVARIA, Y., BOIS, G., «Design of Clock Distribution Networks in Presence of Process Variations» *Eight Great Lakes Symposium on VLSI*, Lafayette, Louisiane, 19-21 février 1998, pp. 95-102.
- [C-22] NEKILI, M., SAVARIA, Y., BOIS, G., «Minimizing process-induced skew using delay calibration in clock distribution networks», *Internal Workshop on Clock Distribution Networks'97*, Atlanta, octobre 1997.
- [C-23] OUICI, K., SAWAN, M., «Low-Power High-Gain Operational Amplifier Dedicated to Implantable Sensors» *ICECS'97*, Caire, décembre 1997.
- [C-24] POPOVICI, D., MEUNIER, M., SACHER, E., «Surface Modification of Teflon AF1600 for Enhanced Adhesion», *Proc. 21st Annu. Mtg. Adhesion Society*, p. 77, 1998.
- [C-25] POPOVICI, D., MEUNIER, M., SACHER, E., «Copper/Teflon AF1600 Interface Interactions for Multilevel Interconnect Applications», *ECS Proc.*, 97-98, 44, 1997.
- [C-26] RABEL, C.E., SAWAN, M., «Parc: Pyramidal Architecture Dedicated to Fast Dynamic Configuration Applications», *IEEE-ISCAS*, mai-juin 1998.
- [C-27] ROBIN, S., SAWAN, M., HARVEY, J-F., ET AL. «A New Implantable Microstimulator Dedicated to Selective Stimulation of the Bladder», *IEEE-EMBS, 19th Int. Conf.*, Chicago, octobre 1997.
SAHRAOUI, N., BOIS, G., ABOULHAMID, E.M., «Optimisation de boucles DSP pour la synthèse de haut niveau» 67^{ième} Congrès de l'Association canadienne française pour l'Avancement des Sciences, Ottawa, 16-20 mai 1999.
- [C-28] SAVARIA, Y., EL HASSAN, F., KHALI, H., SAWAN, M., «An Effective Hardware/Software Implementation of a Viterbi Decoder Using an FPGA -based Reconfigurable Computing Platform», *FPD'98*, pp. 161-165.
- [C-29] SAWAN, M., ROBIN, S., BOURRET, S., BOYER, S., «A Miniaturized Implantable Bladder Selective Electrical Stimulator», *Medicon*, Cyprus, juin 1998.
- [C-30] SHADITALAB, M., BOIS, G., SAWAN, M., «Self Sorting 1024 point FFT on Re-configurable Acceleration Subsystem with DSP Processor», *Workshop on Field-Programmable Devices (FPD'98)*, Montréal, juin 1998.
- [C-31] SHADITALAB, M., BOIS, G., SAWAN, M., «Self-Sorting Radix-2 FFT on FPGA's using Parallel Pipelined Distributed Arithmetic Blocks» *Symposium on FPGA Custom Computing Machines (FCCM'98)*, Napa, California, avril 1998.
- [C-32] SYLLA, I.T., «High Frequency VLSI Circuits Testing», *IEEE International VLSI Test Symposium (VTS98)*, Monterey, Californie, avril 1998.
- [C-33] SYLLA, I.T., «Nonlinear Circuits Testing Using Power Transfer Function Segmentation Approach», *IEEE International Mixed Signal Testing Workshop The Hague*, The Netherlands, 9 – 11 juin 1998.
- [C-34] VAILLANCOURT, P., DJEMOUAI, A., HARVER, J.E., SAWAN, M., «EM Radiation Behavior Upon Biological Tissues in a Radio-Frequency Power Transfer Link for a Cortical Visual Implant», *IEEE-EMBS, 19th Int. Conf.*, Chicago, octobre 1997.

- [C-35] WU, X., MEUNIER, M., SACHER, E., «Excimer Laser-Induced Removal of Particles from Silicon Surfaces: Effect of Photoacoustic Waves», *Proc. 21st Annu. Mtg. Adhesion Society*, p. 309, 1998.

Brevets

- [B-1] GAGNON, Y., MEUNIER, M., SAVARIA, Y., «Method and Apparatus for Iteratively Selectively Tuning the Impedance of Integrated Semiconductor Devices Using a Focussed Heating Source» brevet déposé au Canada # 2,277,607, brevet déposé aux Etats-Unis # 09/332,059, juin 1999.
- [B-2] ANTAKI, B., SAVARIA, Y., ADHAM, S., XIONG, N., «Voltage Excursion Detection Apparatus», brevet U.S. pour Nortel déposé en octobre 1998.
- [B-3] BEAUCHAMP-PARENT, A., SAWAN, M., MENASSA, K., «Miniaturized Ultrasound Bladder Volume Monitor», Application aux USA, 1998.
- [B- 4] YELON, A., PALEOLOGOU, M., IVANOV, D., IZQUIERDO, R., MEUNIER, M., «Composite ceramic-polymer thin film cation-selective membrane, method of fabricating same and applications», brevet accepté en 1999.

Livres

- [L- 1] DJEMOUAI, A., SAWAN, M., «Prosthetic Power Supplies» publication invitée, à paraître dans *Encyclopedia of Electrical and Electronics Engineering*, John Wiley & Sons, 1998.
- [L -2] MOUINE, J., SAWAN, M., «Auditory Aids», publication invitée, à paraître dans *Encyclopedia of Electrical and Electronics Engineering*, John Wiley & Sons, 1998.
- [L- 3] SAWAN, M., HARVEY, J.-F., «Signal Generators», publication invitée, en préparation pour *Encyclopedia of Electrical and Electronics Engineering*, John Wiley & Sons, 1998.

Rapport technique

INDEX DES AUTEURS

Abderrahman, Abdessatar.....	15
Abou-Khalil, Michel	16
Achar, Éric	17
Achour, Chokri.....	18
Antaki, Bernard	19
Arabi, Karim.....	20
Assaad, Maher.....	21
Assi, Ali	22
Balazinski, Bartosz.....	23
Beauchamp -Parent, Alexandre	24
Beaudin, Sylvain	25
Bélangier, Normand.....	26
Belhaouane, Adel.....	27
Boubezari, Samir.....	28
Bourret, Sylvain	29
Boyer, François -Raymond	30
Boyer, Stéphane	31
Boyogueno Bendé, André	32
Brais, Louis -Philippe.....	33
Calbaza, Dorin -Emil.....	34
Campagna, Isabelle	35
Cantin, Marc -André.....	36
Cantin, Pierre -Luc.....	37
Chabini, Noureddine	38
Chen, Jianyao	39
Contandriopoulos, Nicolas	40
Cousineau, Cynthia.....	41
Crampon, Marie -Agathe.....	42
Deslauriers, Yann.....	43
Djebbar, Abderrahmane.....	44
Djemouai, Abdelouahab.....	45
Donfack, Colince	46
Ehsanian-Mofrad, Mehdi.....	47
El-Hassan, Fadi.....	48
Fortin, Guillaume	49
Fouzar, Youcef.....	50
Gadiri, Abdelkarim.....	51
Gagnon, Mathieu.....	52
Gagnon, Yves	53
Granger, Éric	54
Gûçlû, Alev Devrim.....	55
Guénette Philippe.....	56
Harb, Adnan.....	57
Harvey, Jean-François	58
Hu, Yamu	59
Jecklen, Ernesto.....	60
Khali, Hakim	61
Lavoie, Michel.....	62
Le Chapelain, Bertrand.....	63
Lestrade, Michel.....	64
Li, Ran	65
Michaud, Guy.....	66
Moujoud, Abderrafia	67
Nekili, Mohamed	68
Nsame, Pascal.....	69
Oudghiri, Houria	70

INDEX DES AUTEURS (suite)

Patenaude, Serge	71
Poiré, Pascal.....	72
Pronovost, Natalie	73
Rabel, Claude-Eddy.....	74
Rahal, Ali	75
Reid, Benoit	76
Rejeb, Chedly	77
Ridouh, Kamel.....	78
Robin, Simon	79
Romain, Luc	80
Roy, Martin	81
Ryel, Kim.....	82
Sahraoui, Nadjiba.....	83
Schneider, Éric	84
Shaditalab, Manoucher	85
Shaiek, Boubaker.....	86
Sylla, Iboun Taimiya	87
Teghbit, Saliha	88
Thériault, Lévis	89
Vado, Patrice	90
Vaillancourt, Pierre	91
Voghell, Jean-Charles	92
Wong, Tony	93